



BS10B703-205-8000

0020-5236P

ARAI

MARCH 11, 2004

1061

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 3 年 3 月 1 3 日

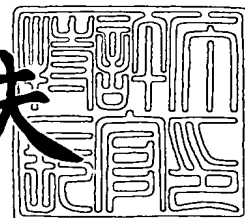
出 願 番 号
Application Number: 特 願 2 0 0 3 - 0 6 7 6 5 6
[ST. 10/C]: [J P 2 0 0 3 - 0 6 7 6 5 6]

出 願 人
Applicant(s): シャープ株式会社

2 0 0 4 年 1 月 1 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 0 0 8 0 7

【書類名】 特許願

【整理番号】 187222

【提出日】 平成15年 3月13日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00
H01L 21/00

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 洗 暢俊

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 柿本 誠三

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

【氏名】 岩田 浩

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0208766

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 抵抗変化機能体、メモリおよびその製造方法並びに半導体装置および電子機器

【特許請求の範囲】

【請求項 1】 第 1 の電極と、

第 2 の電極と、

上記第 1 の電極と第 2 の電極との間に挟まれていると共に、第 1 の材料からなる媒体と、

上記媒体中に、第 2 の材料で表面が覆われていると共に第 3 の材料からなる微粒子を、少なくとも 1 つ備える抵抗変化機能体であって、

上記第 2 の材料は、電荷の通り抜けに対する障壁を有し、

上記第 3 の材料は、電荷を保持する能力を有し、

上記微粒子に蓄積された電荷の多寡により、上記第 1 の電極と第 2 の電極との間の電気抵抗が変化することを特徴とする抵抗変化機能体。

【請求項 2】 請求項 1 に記載の抵抗変化機能体において、

上記第 1 の材料と第 2 の材料は、互いに異なる絶縁性物質であり、

上記第 3 の材料は、導電性物質であり、

上記第 2 の材料は、上記第 3 の材料を用いて形成された絶縁性物質であることを特徴とする抵抗変化機能体。

【請求項 3】 第 1 の電極と第 2 の電極との間に挟まれたメモリ機能体を備えるメモリにおいて、

上記メモリ機能体は、第 1 の絶縁体と、

上記第 1 の絶縁体中に含まれると共に、電荷の通り抜けに対する障壁を有する材料で表面が覆われた導電性微粒子とを備え、

上記第 1 の電極と第 2 の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小が変化して、この電流の大小に応じて記憶状態が判別されることを特徴とするメモリ。

【請求項 4】 請求項 3 に記載のメモリにおいて、

上記メモリ機能体に流れる電流の向きを定めるように、整流作用を有する整流

機能体が、上記メモリ機能体と電氣的に直列に接続されていることを特徴とするメモリ。

【請求項5】 請求項3に記載のメモリにおいて、

上記メモリ機能体を選択するための選択トランジスタが、上記メモリ機能体と電氣的に直列に接続されていることを特徴とするメモリ。

【請求項6】 請求項3中に記載の機能体を含むメモリセルを少なくとも2つ備え、

上記2つのメモリセルのメモリ機能体の上記第1の絶縁体は、一体に連続して形成され、

上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されており、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されていることを特徴とするメモリ。

【請求項7】 請求項3中に記載のメモリ機能体と、上記メモリ機能体を選択するための選択トランジスタと、上記メモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルを少なくとも5つ備え、

上記各メモリセルは列方向に延びるビットラインとソースラインとの間に接続され、上記各メモリセルの選択トランジスタは行方向に延びるワードラインによって制御されるようになっており、

上記5つのメモリセルのうち第1のセルに対して、行方向に隣り合って第2および第4のセルが配置されるとともに、列方向に隣り合って第3および第5のセルが配置され、

第1のセルと第2のセルについてビットラインは共通、ワードラインは共通、かつソースラインは非共通であり、

第1のセルと第3のセルについてビットラインは共通、ソースラインは共通、かつワードラインは非共通であり、

第1のセルと第4のセルについてソースラインは共通、ワードラインは共通、かつビットラインは非共通であり、

第1のセルと第5のセルについてワードラインは共通、第1のセルのソースラ

インと第5のセルのビットラインは共通、かつ第1のセルのビットラインと第5のセルのソースラインは共通であることを特徴とするメモリ。

【請求項8】 請求項7に記載のメモリにおいて、

上記メモリ機能体を含むメモリセルが、基板に対して平行な方向に少なくとも2つ配置され、

上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体の上記第1の絶縁体は、一体に連続して形成されていることを特徴とするメモリ。

【請求項9】 請求項7に記載のメモリにおいて、

上記メモリ機能体とこのメモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルが、基板に対して平行な方向に少なくとも2つ配置され、

上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体の上記第1の絶縁体および／または整流機能体は、一体に連続して形成されていることを特徴とするメモリ。

【請求項10】 第1の電極と第2の電極との間に挟まれたメモリ機能体を備えるメモリにおいて、

上記メモリ機能体は、第1の絶縁体と、

上記第1の絶縁体中に含まれると共に、電荷の通り抜けに対する障壁を有する材料で表面が覆われた導電性微粒子とを備え、

上記メモリ機能体に対して、上記第1の電極と第2の電極とが対向する方向における上記第1の電極と第2の電極との間の位置に電圧を印加し得る第3の電極が隣接していることを特徴とするメモリ。

【請求項11】 請求項10に記載のメモリにおいて、

上記第1の電極と第2の電極はそれぞれ半導体基板の表面に形成されており、

上記メモリ機能体が上記半導体基板の表面のうち上記電極の間の領域に形成され、

上記第3の電極が上記メモリ機能体上に設けられていることを特徴とするメモリ。

【請求項12】 請求項10に記載のメモリにおいて、

上記第1の電極と第2の電極がそれぞれ基板上に形成された導電体からなり、
上記メモリ機能体が上記導電体の間に挟まれた領域に形成され、
上記第3の電極が上記メモリ機能体上に設けられていることを特徴とするメモリ。

【請求項13】 請求項3または10に記載のメモリにおいて、
上記メモリ機能体が、基板に対して垂直な方向に少なくとも2つ積層されていることを特徴とするメモリ。

【請求項14】 請求項3または10に記載のメモリを製造するメモリの製造方法であって、

上記第1の絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入する工程を含むことを特徴とするメモリの製造方法。

【請求項15】 請求項3または10に記載のメモリを備える半導体装置。

【請求項16】 請求項15に記載の半導体装置を備える電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、抵抗変化機能体、メモリおよびその製造方法並びに半導体装置および電子機器に関する。

【0002】

【従来の技術】

近年、ナノドットやナノクリスタルとよばれるナノメートルサイズの微粒子をゲート絶縁膜に含むメモリを用いて、例えば単電子トランジスタや単電子メモリ等のような超微小な電子装置を構成することが提案されている。この種のメモリおよび電子装置は、クーロンブロッケイド現象などの量子サイズ効果を利用して、低消費電力で動作することが期待されている。

【0003】

図35は、微粒子を浮遊ゲートに用いた従来のメモリを示す図である。このメモリは、P型シリコン基板4801中に形成されたソース・ドレイン領域4806の間のチャンネル領域上に、熱酸化で形成した厚さ2nmの酸化膜2802と、

その上に形成された粒径 5 nm のシリコン微粒子 4 8 0 3 と、そのシリコン微粒子を覆うように形成された酸化膜 4 8 0 4 と、ゲート電極となるポリシリコン層 4 8 0 5 とを備える。

【0 0 0 4】

図 3 5 に示すようなメモリの製造方法としては、上記シリコン熱酸化膜 4 8 0 2 上に L P C V D (低圧化学的気相堆積) 装置によってアモルファスシリコンを堆積した後、アニール処理して上記シリコン微粒子 4 8 0 3 を形成し、さらに、上記シリコン微粒子 4 8 0 3 の上に C V D (化学的気相堆積) 法によって上記シリコン酸化膜 4 8 0 4 を堆積する方法が提案されている (例えば、特許文献 1 参照)。

【0 0 0 5】

上記シリコン微粒子 4 8 0 3 等の微粒子を形成する手法としては、上記 L P C V D およびアニールを用いる他に、C V D、蒸着および M B E (分子線エピタキシ) などを用いて基板上に結晶を作成する方法や、薄膜を形成した後、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法が提案されている。このような方法では、上記微粒子を形成した後、この微粒子上に、図 3 5 のシリコン酸化膜 4 8 0 4 のような絶縁体層を積層している。

【0 0 0 6】

【特許文献 1】

特開 2 0 0 0 - 2 2 0 0 5 号公報 (第 0 0 1 5 段落、第 1 図)

【0 0 0 7】

【発明が解決しようとする課題】

しかしながら、上記従来のメモリ、単電子トランジスタおよび単電子メモリ等は、電子 1 個または数個を格納することのできるナノサイズのドットを作製すると共に、電子数個の流れを検出するために、非常に微細な加工が必要であるので、集積化が困難である。また、多くの場合、熱揺らぎによる誤動作を抑制するため、メモリ等を極低温にする必要がある。このため、クーロンブロッケイド現象等を用いたメモリ等は、実用性に乏しく、実験レベルに留まっている。

【0 0 0 8】

また、上記従来のメモリの製造方法は、微粒子の面密度が不十分であったり、微粒子の大きさの微小化が不十分である場合が多い。その結果、メモリウィンドウが狭くなり、密度のばらつきが大きくなり、また、データの保持特性が悪いという不都合がある。

【0009】

特に、上記微粒子を上記CVD、蒸着およびMBE等を用いて形成する方法では、上記微粒子の面密度を上げるためには、一度の工程で一平面上にしか微粒子を作成できないので、同様の工程を何度も繰り返す必要がある。

【0010】

また、上記薄膜の形成後にフォトリソグラフィやエッチングなどの微細加工技術を用いる方法では、微粒子の大きさと微粒子間の距離を同時にナノメートルオーダーまで縮小することは、極めて困難である。

【0011】

そこで、本発明の目的は、微粒子の十分な面密度が得られ、微粒子の大きさが十分に微小化でき、データ保持特性が良好で実用性が高く、しかも、集積化が比較的容易なメモリと、良好な生産性でメモリを製造できる製造方法を提供することにある。

【0012】

【課題を解決するための手段】

上記目的を達成するため、本発明の抵抗変化機能体は、

第1の電極と

第2の電極と、

上記第1の電極と第2の電極との間に挟まれていると共に、第1の材料からなる媒体と、

上記媒体中に、第2の材料で表面が覆われていると共に第3の材料からなる微粒子を、少なくとも1つ備える抵抗変化機能体であって、

上記第2の材料は、電荷の通り抜けに対する障壁を有し、

上記第3の材料は、電荷を保持する能力を有し、

上記微粒子に蓄積された電荷の多寡により、上記第1の電極と第2の電極との

間の電気抵抗が変化することを特徴としている。

【0013】

この発明の抵抗変化機能体では、上記第1の材料からなる媒体中に、上記第2の材料で表面が覆われた第3の材料からなる微粒子を備え、上記第2の材料は電荷の通り抜けに対する障壁を有し、上記第3の材料は電荷を保持する能力を有する。ここで、上記微粒子は、上記第2の材料で覆われているので、常温において電荷の保持が有効に得られる。その結果、常温において、上記第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記抵抗体を通して流れる電流の大小が変化する。したがって、上記電極間を流れる電流の大小を、常温で比較的低電圧で電氣的に制御して変化させることができる。したがって、この抵抗変化機能体は実用性がある。

【0014】

また、本発明の構造によれば、電荷の保持に、クーロンブロッケード効果を常温で有効に用いることも可能である。

【0015】

なお、上記第2の材料としては、電荷に対して障壁になるような材質であればよい。例えば、絶縁体を用いることができるし、また、金属や半導体であっても、PN接合のように空乏層が形成されたり、ショットキー障壁などが形成されるものを用いることもできる。その他、上記第1、第2および第3の材料は、電荷が微粒子もしくはそのごく近傍に局在するために必要な条件を満たすものであればよい。

【0016】

一実施形態の抵抗変化機能体は、上記第1の材料と第2の材料は、互いに異なる絶縁性物質であり、

上記第3の材料は、導電性物質であり、

上記第2の材料は、上記第3の材料を用いて形成された絶縁性物質である。

【0017】

この実施形態の抵抗変化機能体では、上記第3の材料は導電性物質であるので、電荷を容易に保持させることが可能である。また、上記第2の材料は絶縁性物

質であるので、上記微粒子から電荷がリークすることを効果的に抑制することができる。また、上記第2の材料は、上記第3の材料を用いて形成されているので、上記第3の材料からなる微粒子に対して良好な相性を有して良好な絶縁作用が得られる。したがって、安定した特性の抵抗変化機能体が得られる。

【0018】

本発明のメモリは、第1の電極と第2の電極との間に挟まれたメモリ機能体を備えるメモリにおいて、

上記メモリ機能体は、第1の絶縁体と、

上記第1の絶縁体中に含まれると共に、電荷の通り抜けに対する障壁を有する材料で表面が覆われた導電性微粒子とを備え、

上記第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小が変化して、その電流の大小に応じて記憶状態が判別されることを特徴としている。

【0019】

なお、上記電荷の通り抜けに対する障壁を有する材料としては、例えば、絶縁体を用いることができるし、また、金属や半導体であっても、PN接合のように空乏層が形成されたり、ショットキー障壁などが形成されるものを用いることもできる。その他、上記第1の絶縁体、上記電荷の通り抜けに対する障壁を有する材料および導電性微粒子は、電荷が上記導電性微粒子もしくはそのごく近傍に局在するために必要な条件を満たすものであればよい。

【0020】

ここにおいて、本明細書では、「導電性微粒子」とは、微粒子自体が導電性を有するものを指す。したがって、「導電性微粒子」は金属または半導体からなるものを含み、さらには、導電性を有する限り、有機物質からなるものをも含む。また、「微粒子」とは粒径が1 μ m未満の粒子を指す。

【0021】

メモリの「記憶状態」としては、例えば論理1に相当する書込状態と、論理0に相当する消去状態とが挙げられる。

【0022】

この発明のメモリでは、上記第1の絶縁体中に含まれる導電性微粒子によって、第1の電極と第2の電極との間に所定の電圧を印加した前後で、上記メモリ機能体を通して流れる電流の大小が変化する。つまり、第1の電極と第2の電極との間に所定の電圧（書込用または消去用）を印加して上記メモリ機能体を通して電流を流すことによって、上記メモリ機能体を通して流れる電流の大小が変化する。そして、第1の電極と第2の電極との間に所定の電圧（読出用）を印加したとき、上記メモリ機能体を通して流れる電流の大小に応じて記憶状態が判別される。上記メモリ機能体では、上記導電性微粒子の表面が、上記電荷の通り抜けに対する障壁を有する材料で覆われていることによって、常温において、上記メモリ機能体を通して流れる電流の大小を、比較的低電圧で電氣的に制御して変化させることができる。したがって、このメモリは実用性がある。

【0023】

また、上記第1の絶縁体はシリコン酸化物からなり、上記導電性微粒子は半導体または金属からなるのが望ましい。この場合、上記メモリは、半導体産業で用いられている既存の装置を用いて作製可能である。

【0024】

一実施形態のメモリは、上記メモリ機能体に流れる電流の向きを定めるように、整流作用を有する整流機能体が、上記メモリ機能体と電氣的に直列に接続されている。

【0025】

この実施形態のメモリでは、上記整流機能体によって、上記メモリ機能体に流れる電流の向きが一方向に限定される。これにより、上記メモリ機能体をそれぞれ含む複数のメモリセルを行列状に配置し、それらの中から特定のメモリセルを選択して動作させようとする場合に、非選択のメモリセルに無用な電流が流れるのを上記整流機能体によって阻止できる。したがって、メモリセルの選択が容易になる。

【0026】

また、上記整流機能体はショットキー接合を有するのが望ましい。このショットキー接合は金属と半導体の接合で作製され得る。したがって、既存の半導体装

置で容易に製造可能であり、生産性に優れる。

【0027】

また、上記整流機能体はPN接合を有するのが望ましい。このPN接合は半導体を用いて作製され得る。したがって、既存の半導体装置で容易に製造可能であり、生産性に優れる。また、P型半導体とN型半導体の濃度を調整することにより接合の特性を容易に変えることが可能であるので、汎用性に優れる。

【0028】

また、上記整流機能体は整流作用を有する接合を備え、この接合を構成する物質の少なくとも一方は連続粒界シリコンであるのが望ましい。この場合、上記接合を形成するためには、エピタキシャル成長のような高温を必要としない。また通常の多結晶シリコンよりも結晶性がよいので、移動度が高く高速動作が可能となる。

【0029】

一実施形態のメモリは、上記メモリ機能体を選択するための選択トランジスタが、上記メモリ機能体と電氣的に直列に接続されている。

【0030】

この実施形態のメモリでは、上記選択トランジスタをON（オン）またはOFF（オフ）することによって、メモリセルを選択または非選択にすることができる。また、上記選択トランジスタをOFFすることによってメモリ機能体を通して電流が流れるのを防ぐことができるので、メモリ機能体の電流の流れ易さが増加するのを防ぐことができる。したがって、長時間安定したメモリ機能を維持することができる。

【0031】

また、上記メモリは、上記第1の電極と第2の電極との間に、上記メモリ機能体の第1の絶縁体を破壊する電圧を加えるための装置を備えるのが好ましい。このメモリは、上記メモリ機能体の第1の絶縁体を破壊することによって、いわゆるヒューズメモリとして用いられる。このメモリでは、微粒子を含まない絶縁体をヒューズとして用いた従来のヒューズメモリと異なり、低電圧で書き込み可能になる。

【 0 0 3 2 】

また、上述のメモリを行列状に配置してランダムアクセスメモリを構成しても良い。この場合、浮遊ゲート型メモリと異なり、構造が簡単になるので高集積化に適し、生産性に優れる。

【 0 0 3 3 】

別の面では、この発明のメモリは、上述のメモリ機能体を含むメモリセルを少なくとも2つ備え、上記2つのメモリセルのメモリ機能体の上記第1の絶縁体は、一体に連続して形成されている。そして、上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されており、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されている。

【 0 0 3 4 】

この発明のメモリでは、上記2つのメモリセルのメモリ機能体の第1の絶縁体は、一体に連続して形成されている。また、上記2つのメモリセルのうち一方のメモリセルの一方の電極と、他方のメモリセルの一方の電極とは互いに電氣的に接続されている。したがって、2つのメモリセルを別個に形成する場合に比べて分離領域を形成しなくてもよいので、占有面積を縮小することが可能となる。なお、上記一方のメモリセルの他方の電極と、上記他方のメモリセルの他方の電極とは互いに電氣的に分離されているので、上記2つのメモリセルは互いに独立に動作することが可能である。

【 0 0 3 5 】

さらに別の面では、この発明のメモリは、上述のメモリ機能体と、上記メモリ機能体を選択するための選択トランジスタと、上記メモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルを少なくとも5つ備える。上記各メモリセルは列方向に延びるビットラインとソースラインとの間に接続され、上記各メモリセルの選択トランジスタは行方向に延びるワードラインによって制御されるようになっている。上記5つのメモリセルのうち第1のセルに対して、行方向に隣り合って第2および第4のセルが配置されるとともに、列方向に隣り合って第3および第5のセルが配置されている。第1のセルと第2のセルにつ

いてビットラインは共通、ワードラインは共通、かつソースラインは非共通である。第1のセルと第3のセルについてビットラインは共通、ソースラインは共通、かつワードラインは非共通である。第1のセルと第4のセルについてソースラインは共通、ワードラインは共通、かつビットラインは非共通である。そして、第1のセルと第5のセルについてワードラインは共通、第1のセルのソースラインと第5のセルのビットラインは共通、かつ第1のセルのビットラインと第5のセルのソースラインは共通である。

【0036】

この発明のメモリでは、ワードライン、ビットライン、ソースラインを大幅に共用することができ、配線を削減することができる。したがって、占有面積の削減が可能となる。

【0037】

上記メモリは、上記メモリ機能体が、基板に対して垂直な方向に少なくとも2つ積層されているのが好ましい。このメモリでは、上記メモリ機能体が基板に対して垂直な方向に少なくとも2つ積層されて、3次元的に集積化されている。したがって、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

【0038】

一実施形態のメモリは、上記メモリ機能体を含むメモリセルが、基板に対して平行な方向に少なくとも2つ配置され、上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体の上記第1の絶縁体は、一体に連続して形成されている。

【0039】

この実施形態のメモリでは、上記メモリ機能体の上記第1の絶縁体が一体に連続して形成されているので、上記メモリ機能体をセル毎に分離する工程が省けるから、生産性が向上する。

【0040】

一実施形態のメモリは、上記メモリ機能体とこのメモリ機能体に流れる電流の向きを定めるための整流機能体とを含むメモリセルが、基板に対して平行な方向

に少なくとも2つ配置され、上記基板に対して平行な方向に隣り合うメモリセルのメモリ機能体の上記第1の絶縁体および／または整流機能体は、一体に連続して形成されている。

【0041】

この実施形態のメモリでは、上記メモリ機能体の上記第1の絶縁体および／または整流機能体を、セル毎に分離する工程が省けるので、生産性が向上する。

【0042】

この発明のメモリは、第1の電極と第2の電極との間に挟まれたメモリ機能体を備えるメモリにおいて、

上記メモリ機能体は、第1の絶縁体と、

上記第1の絶縁体中に含まれると共に、電荷の通り抜けに対する障壁を有する材料で表面が覆われた導電性微粒子とを備え、

上記メモリ機能体に対して、上記第1の電極と第2の電極とが対向する方向における上記第1の電極と第2の電極との間の位置に電圧を印加し得る第3の電極が隣接していることを特徴としている。

【0043】

ここにおいて、上記メモリ機能体に上記第3の電極が「隣接」するとは、上記メモリ機能体に対して、上記第3の電極が直接接する場合と、絶縁膜を介して接する場合とを含む。

【0044】

本発明者が実験したところ、上記メモリ機能体に対して、上記第3の電極によって、上記第1の電極と第2の電極とが対向する方向における第1の電極と第2の電極との間の位置に、電圧を印加すれば、上記メモリ機能体を通して流れる電流の大小がさらに大きく変化することが分かった。つまり、メモリウインドウ（ヒステリシス）の幅が増大して、メモリ機能が向上するのである。したがって、この実施形態のメモリによれば、記憶状態を読み出すときの読出しエラーが減少して、メモリの信頼性が向上する。なお、上記第3の電極は、上記第1の電極と第2の電極とが対向する方向において、この第1電極と第2電極との間の位置で、上記メモリ機能体に対して電圧を印加できるのであれば、例えば上記第1の電

極と第2の電極とが対向する方向に垂直な方向を向くように配置する等、どのような形態をなしてもよい。

【0045】

一実施形態のメモリは、上記第1の電極と第2の電極はそれぞれ半導体基板の表面に形成されており、上記メモリ機能体が上記半導体基板の表面のうち上記電極の間の領域に形成されている。さらに、上記第3の電極が上記メモリ機能体上に設けられている。

【0046】

この実施形態メモリでは、上記メモリ機能体を、MOS型トランジスタのチャネル部分に組み込んだのに略等しい構造を有する。この場合、構造が論理トランジスタとよく似ているため、製造が容易である。また論理回路との混載も容易になる。

【0047】

一実施形態のメモリは、上記第1の電極と第2の電極がそれぞれ基板上に形成された導電体からなる。上記メモリ機能体が上記導電体の間に挟まれた領域に形成されている。さらに、上記第3の電極が上記メモリ機能体上に設けられている。

【0048】

この実施形態メモリでは、上記メモリ機能体を、ソース・ドレイン・チャネルが欠如した積み上げ拡散層付MOS型トランジスタの絶縁膜部分に組み込んだのに略等しい構造を有する。この場合、構造が論理トランジスタとよく似ているため、製造が容易である。また論理回路との混載も容易になる。また、ガラス基板上に上記メモリ機能体を形成することも可能である。

【0049】

なお、上述のメモリを行列状に配置してランダムアクセスメモリを構成しても良い。この場合、浮遊ゲート型メモリと異なり、構造が簡単になるので高集積化に適し、生産性に優れる。また、コンパクトで低電圧動作可能なランダムアクセスメモリを実現することができる。

【0050】

一実施形態のメモリは、上記メモリ機能体が、基板に対して垂直な方向に少なくとも2つ積層されている。

【0051】

この実施形態のメモリでは、上記メモリ機能体が上記基板に対して垂直な方向に少なくとも2つ積層されて、3次元的に集積化されている。したがって、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

【0052】

また、本発明のメモリの製造方法は、上述のメモリを製造するメモリの製造方法であって、上記第1の絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入する工程を少なくとも含むことを特徴としている。

【0053】

この発明のメモリの製造方法では、作製されたメモリについて、一度の負イオン注入によって、上記第1の絶縁体中に上記導電性微粒子を形成することができる。したがって、メモリを生産性良く作製できる。

【0054】

なお、上記第1の絶縁体中に上記導電性微粒子を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などで導電性物質を堆積し、熱処理を行って導電性微粒子にする方法や、導電性薄膜を堆積し、フォトリソグラフィやエッチングなどの微細加工技術を用いる方法が考えられる。しかしながら、これらの方法では、生産性が良くない。これに対して、イオン注入によれば、上記第1の絶縁体中に導電性微粒子を一度の処理で形成できる。しかも、イオン注入によれば、導電性微粒子を形成するためにフォトリソグラフィやエッチングなどの微細加工技術を要しない。したがって、生産性に優れる。

【0055】

また、上記第1の絶縁体中に上記導電性微粒子を形成するための物質を負イオン注入法により注入しているので、注入時に上記第1の絶縁体やそれを支持する基板が帯電するのを抑制できる。したがって、注入エネルギーを正確に制御でき、注入位置のばらつきを抑制できる。また、帯電が抑制されるので、帯電によって上記絶縁体が破壊して欠陥が生じるのを抑制できる。これらの結果、作製された

メモリの信頼性が向上する。

【0 0 5 6】

本発明の半導体装置は、上述のメモリを備える。

【0 0 5 7】

この発明の半導体装置では、占有面積の縮小が可能なメモリセルを用いているため、従来に比してメモリ回路の占有面積を縮小することができ、小型に構成される。上述のメモリは比較的低電圧で動作可能であるので、そのようなメモリを含むメモリ回路とロジック回路等との間で電源を共用でき、メモリ回路とロジック回路等との混載が容易になる。この結果、低消費電力化が可能になる。

【0 0 5 8】

本発明の電子機器は、上述の半導体装置を備える。

【0 0 5 9】

この発明の電子機器では、上述の半導体装置が小型に構成される結果、この機器を小型することが可能である。また、上述の半導体装置が低消費電力であるので、この機器に搭載された電池の寿命が延びる。したがって、この電子機器は携帯の用途に適する。

【0 0 6 0】

【発明の実施の形態】

以下、この発明を図示の実施の形態により詳細に説明する。

【0 0 6 1】

図 1 は、本発明の 1 実施形態の抵抗変化機能体を示す概略断面図である。この抵抗変化機能体 1 0 0 は、第 1 の電極 1 1 1 と、第 2 の電極 1 1 2 と、この第 1 の電極 1 1 1 と第 2 の電極 1 1 2 との間に挟まれた媒体としての絶縁体 1 0 1 を備える。上記絶縁体 1 0 1 中には、ナノメートルサイズを有すると共に絶縁体 1 0 4 によって表面が覆われた導電性微粒子 1 0 3 を 1 つ以上含んでいる。

【0 0 6 2】

上記抵抗変化機能体 1 0 0 は、図 2 (a) 乃至 (d) の工程図に示すようにして作製されている。

【0 0 6 3】

本実施形態では、半導体産業で用いられている既存の装置を用いて作製できるように、上記絶縁体 101 の材料には、第 1 の材料としての酸化シリコンを用い、上記微粒子 103 の材料には、第 3 の材料としての銀を用い、上記絶縁体 104 の材料には、第 2 の材料としての酸化銀を用いる。

【0064】

まず、図 2 (a) に示すように、シリコン基板 300 の表面に、シリコン酸化膜 101 を熱酸化工程によって形成する。この例では、上記シリコン酸化膜 101 の膜厚を約 35 nm に形成する。なお、上記シリコン基板の上記シリコン酸化膜 101 以外の部分は、第 2 の電極として用いられる。

【0065】

次に、図 2 (b) に示すように、シリコン酸化膜 101 中に、負イオン注入法によって銀 303 を導入する。

【0066】

ここで、注入エネルギーが過大であると、上記注入された銀 303 のシリコン酸化膜 101 における分布範囲が広くなり過ぎて、抵抗変化機能に対して不適切であり、また、上記シリコン酸化膜 101 へのダメージが過大になって欠陥を生じてしまう。したがって、注入エネルギーは、100 keV 未満であるのが好ましく、特に、50 keV 未満に設定するのが、より好ましい。

【0067】

また、上記銀のドーズ量（単位面積当りの注入量）は、過大であると、導電性微粒子の粒径が過大になり、また、上記シリコン酸化膜 101 へのダメージが多くなる一方、過小であると、導電性微粒子の分布密度が過小になる。したがって、上記銀のドーズ量は、 $1 \times 10^{12} / \text{cm}^2$ より多く、かつ、 $1 \times 10^{20} / \text{cm}^2$ より少なく設定するのが好ましく、例えば、 $1 \times 10^{14} / \text{cm}^2$ より多く、かつ、 $1 \times 10^{17} / \text{cm}^2$ より少なく設定するのが好ましい。

【0068】

本実施形態では、注入エネルギーは約 15 keV、ドーズ量は約 $1 \times 10^{15} / \text{cm}^2$ に設定した。言うまでもなく、注入するイオン種によって、選択すべき注入エネルギーおよび注入量は異なる。

【0069】

また、本実施形態では、イオン注入法として負イオン注入法を採用している。この負イオンを用いた注入法によれば、正イオンを用いた場合のように、注入を受ける材料（本実施形態ではシリコン酸化膜101）の表面電位が正イオンの加速電圧近くまで上昇することが無くて、上記シリコン酸化膜101の表面電位を、数ボルト程度の非常に低い値に留めることができる。より詳しくは、正イオン注入法を用いた場合、正の電荷のイオンが上記シリコン酸化膜101表面に入射した際、負の電荷の二次電子が放出される。したがって、上記シリコン酸化膜101の表面は、上記正イオンの注入を続けるに伴って正に帯電する一方であり、最終的に、表面電位が上記正イオンの加速電圧にまで上昇する。これに対して、負イオン注入法では、負の電荷のイオンが上記シリコン酸化膜101表面に入射した際、負の電荷の二次電子が放出される。したがって、上記シリコン酸化膜101の表面電位は、±数ボルト程度に収まる。その結果、正イオン注入に比べて、実効的な加速電圧の変動が少なくなるため、銀の注入深さのばらつきを抑制することが可能となる。また、注入を受けるシリコン酸化膜101や、この下方のシリコン基板300が殆ど帯電しないので、絶縁破壊等による欠陥の発生を抑制することが可能となる。本実施形態では、負イオン注入装置として日新電機株式会社製のものをを用いた。

【0070】

次に、上記シリコン酸化膜101に熱処理を行って、このシリコン酸化膜101に注入された銀を、凝集または拡散させる。これによって、図2(c)に示すように、シリコン酸化膜101中に、導電性微粒子としての銀微粒子102を形成する。また、上記熱処理によって、上記イオン注入時にシリコン酸化膜101に発生した欠陥が、修復される。

【0071】

上記熱処理の温度は、低過ぎると効果がないが、高過ぎると注入元素（銀）が拡散、熔融するので、微粒子を形成できない。したがって、熱処理の温度は、200℃より高く、かつ、注入元素（銀）の融点未満に設定するのが好ましい。また、上記熱処理は、比較的低い温度であっても、長時間施すことによって上記温

度での効果が増大するが、あまりに長時間であると、微粒子の粒径が過大になる場合や、注入元素が、微粒子を形成すべき領域の外の領域まで拡散する場合がある。このため、上記熱処理を施す時間は、24時間より短く設定するのが好ましい。

【0072】

一般的に、熱処理は、アルゴン等の不活性雰囲気中で行なうが、本実施形態の熱処理は、上記銀微粒子102の表面を覆う絶縁体を形成する雰囲気中で行なう。すなわち、酸素を含む気相中で熱処理を行なって、上記シリコン酸化膜101中に銀微粒子102を形成するとともに、上記シリコン酸化膜101中に酸素を拡散させる。これによって、上記銀微粒子102の表面部分に、絶縁性物質であって第2の材料としての酸化銀104を形成する。つまり、上記第2の材料としての酸化銀は、上記第3の材料としての銀を用いて形成された絶縁物質である。

【0073】

なお、上記熱処理の温度、時間、気相の流量等の条件は、用いる材料や、形成すべき微粒子の粒径、および、その表面に形成する絶縁体の厚みによって異なる。

【0074】

本実施形態では、シリコン熱酸化条件よりやや低い温度で数時間程度、酸化雰囲気中で熱処理を行なって、図2(d)に示すような酸化銀104で覆われた銀微粒子103を形成する。

【0075】

上記銀微粒子103の周りには、第2の材料として、酸化物からなる絶縁膜を形成する他に、窒化物からなる絶縁膜を形成してもよい。例えば、導電性微粒子をシリコンで形成する場合、導電体としてのシリコンを注入した後、例えばアンモニア雰囲気中で熱処理を実行する。これによって、シリコン微粒子を形成すると共に、このシリコン微粒子の周りに、絶縁体としてのシリコン窒化物を形成する。

【0076】

また、初めにアルゴンや窒素等の不活性雰囲気中で熱処理を行って、導電性微

粒子がある程度形成されてから、この導電性微粒子が絶縁化される雰囲気中での熱処理に切り替えてもよい。この方法によれば、導電性微粒子の大きさを所望の大きさに調整してから、この導電性微粒子の絶縁化を行うことができるので、上記導電性微粒子の粒径を、正確に所望の大きさに形成することができる。例えば、通常の熱処理炉であれば、アルゴンや窒素等の不活性雰囲気中において、凡そ 300℃～900℃程度の処理温度が好ましい。例えば、アサヒ理化製作所製のセラミクス電気管状炉を用いて、アルゴン雰囲気中で約 700℃の温度によって、約 1 時間熱処理を行う。この熱処理の条件は銀微粒子の場合であって、導電性微粒子を形成する材料に応じて、最適な熱処理条件は異なる。

【0077】

さらに、導電性微粒子を形成するための熱処理を比較的低温で行なう場合、媒体としての絶縁膜に、注入によって発生した欠陥を修復するために、500～1000℃程度の熱処理を行うことが好ましい。このとき、熱処理を長時間行くと、導電性微粒子が融解したり拡散したりする不都合が生じるので、RTA (Rapid Thermal Annealing)、すなわち、短時間の熱処理を行うのが好ましい。

【0078】

なお、導電性微粒子の表面に絶縁体を形成する方法としては、上述のような酸化性雰囲気による熱酸化や窒化性雰囲気による熱窒化処理の他に、酸素あるいは窒素などをイオン注入した後、アニール処理により酸化あるいは窒化などを行う方法がある。この方法によれば、熱処理炉における表面からの熱拡散による方法に比べて、所望の深さに酸素あるいは窒素を供給できる。したがって、例えば、導電性微粒子を含む第 1 の材料からなる媒体の表面付近について、酸化あるいは窒化等を避けたい場合に、特に有効である。

【0079】

本実施形態の製造方法によって作製した導電性微粒子および絶縁体の様子を、断面 TEM (透過型電子顕微鏡) 観察によって調べた。その結果、図 2 (d) に示すように、銀イオンの加速エネルギーに応じた所定深さに、粒径がおおよそ 2～3 nm 程度のナノメートルサイズの銀微粒子 103 と、その周りを覆う酸化銀 104 とが形成されていることが確認できた。図 2 (e) は、図 2 (d) の一部を

拡大したものである。

【0080】

このように、本実施形態によれば、上記シリコン酸化膜101中に銀微粒子102を形成する際、負イオン注入法を用いるので、上記シリコン酸化膜101の帯電を抑制しつつ、このシリコン酸化膜101中に、所望の深さに容易に銀を注入することができる。また、上記銀粒子102を形成するためにイオン注入法を用いるので、従来におけるように導電性膜をエッチングするよりも工程が少なく、また、ナノスケールの微細加工技術を用いることがない。したがって、ナノメートルサイズの微粒子を、良好な生産性で形成できる。

【0081】

上記シリコン酸化膜101中に上記酸化銀104で覆われた銀微粒子103を形成した後、上記シリコン酸化膜101上に、第1の電極111を形成する。この第1の電極111の材料は、金属または半導体のいずれでもよく、また、導電性を有する限り、有機物質であっても良い。上記第1の電極111を形成する方法としては、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などを採用できる。本実施形態では、通常の真空蒸着法によってA1膜を成膜して第1の電極111を形成し、これによって、抵抗変化機能体が完成する。

【0082】

本実施形態の抵抗変化機能体は、上記シリコン酸化膜101中に、イオン注入および熱処理によって、銀微粒子102を少ない工程で短時間に高密度に形成できる。上記イオン注入によれば、上記銀微粒子102を形成するために微細加工技術を要しないので、良好な生産性で抵抗変化機能体が製造できる。

【0083】

なお、本実施形態では、導電性微粒子として銀微粒子102を用いたが、銀以外の金、銅などの金属や、シリコン、ゲルマニウムなどの半導体等の導伝体を用いて導電性微粒子を形成してもよい。ただし、金は酸化されにくいので、微粒子を形成した後に、その周りに絶縁体を形成し難い。これに対して、例えばアルミニウムなどのように、酸化によって表面に強固な酸化被膜を形成する材料を用いることが好ましく、アルミニウムの他に、タングステン、ニオブ、ジルコニウム

、チタン、クロム、スズ、コバルト、ニッケル、鉄、アンチモン、鉛などを用いて導電性微粒子を形成してもよい。

【0084】

また、上記導電性微粒子としての銀微粒子102は、シリコン基板に熱酸化を施して形成したシリコン酸化膜101中に形成したが、ガラス基板などの他の絶縁体や、半導体基板等の中に形成してもよい。

【0085】

また、上記シリコン酸化膜は、熱酸化膜に限らず、CVD法などによって成膜したシリコン酸化膜であってもよく、ポリシリコンやアモルファスシリコンを酸化したものであってもよい。ただし、単結晶シリコンを熱酸化してなるシリコン酸化膜のほうが、膜質がよく、好ましい。さらに、窒化シリコンなどの他のシリコン系絶縁物はもちろん、他の絶縁体を用いることも可能である。

【0086】

また、本実施形態では、絶縁性物質からなる媒体中に、導電性微粒子の材料を負イオン注入法によって注入しているので、注入時に上記絶縁性媒体やそれを支持する基板が帯電するのを効果的に抑制できる。したがって、上記導電性微粒子の材料の注入深さを正確に制御できて、分布のばらつきを抑制できる。すなわち、導電性微粒子の形成深さおよび領域を、正確に制御できる。また、上記注入時の帯電が抑制されるので、帯電によって絶縁性媒体が破壊して欠陥が生じるのを抑制できる。これらの結果、抵抗変化機能体の信頼性を、効果的に向上することができる。

【0087】

図3は、上述の方法で作製した抵抗変化機能体100の常温（25℃）における電流対電圧（I-V）特性を示した図である。

【0088】

この電流体電圧特性は、第2の電極112を接地すると共に、第1の電極111に印加する電圧を変化させた際、この第1の電極111に流れる電流の変化を示したものである。まず、第1電極111の印加電圧を-1V程度から連続的に上昇させると、矢印S1で示すように、電流の絶対値が減少する。これに続いて

、0 V程度から電圧を連続的に低下させると、矢印S2で示すように、電流値の絶対値が、矢印S1とは異なる経路を通して増加する。そして、印加電圧が-1 Vに達したとき、上記矢印S2のように低下した電流の値は、印加電圧が-1 Vから上昇を開始したときの当初の電流の値と比べて、絶対値が小さくなる。同一の印加電圧で電流の絶対値が小さくなったことは、抵抗が大きくなったことを意味する。このように、図3に示す電流対電圧（I-V）特性には、ヒステリシスが現れる。これは、上記微粒子103が、この微粒子を覆う絶縁体104によって、良好な障壁効果が与えられて互いに孤立していることにより、良好なクーロンブロッケードの条件が実現されているからだと言える。

【0089】

また、ヒステリシスの発生原因は、複数の導電体微粒子のうちの極微小な微粒子が、電流の影響によって拡散または消滅したり、あるいは、凝集して大型化した結果、クーロンエネルギーが変動したためとも考えられる。その他、ジュール熱による熱エネルギーにより、導電体微粒子から電子が放出された結果、クーロンエネルギーが変動したためとも考えられる。

【0090】

また、上記ヒステリシスが生じる他の原因としては、以下のことが考えられる。すなわち、シリコン酸化膜101中の複数の銀微粒子103のうち、所定の銀微粒子103に1個乃至数個の電荷が蓄積され、この蓄積された電荷によって、この銀微粒子103の近傍で電流経路を形成する他の銀微粒子103の電子に対して、クーロン相互作用が及ぶ。その結果、上記電流経路における電流の流れ易さ、つまり電気抵抗が変化すると考えられる。これらのいずれかの効果、あるいは、複数の効果が組み合わさって、上記ヒステリシスが現れると考えられる。

【0091】

しかしながら、これら以外の要因によってヒステリシスが現れている可能性もある。いずれにせよ、要因の如何にかかわらず、本発明の抵抗機能体によれば、実用上十分に大きなヒステリシスが得られることは明らかである。

【0092】

なお、上記抵抗変化機能体100の第1、第2の電極111、112間に過剰

な電圧を印加した場合、電流値が著しく増大した。これは、上記シリコン酸化膜 101 中に含まれる銀微粒子 103 が変化したためであると考えられる。あるいは、銀微粒子 103、103 間のシリコン酸化膜 101 の部分、または、酸化銀 104 のいずれか一方または両方が、絶縁破壊を起こしたためであると考えられる。ただし、上記銀微粒子 103、103 間のシリコン酸化膜 101 の部分または酸化銀 104 は、トンネル障壁であるので絶縁破壊を起こし難い。したがって、ジュール熱によって、上記銀微粒子 103 が拡散または凝集したか、あるいは、上記酸化銀 104 が変化したか、あるいは、電流によるマイグレーションによって銀微粒子 103 の状態が変化したか、のいずれかであるとも考えられる。

【0093】

この性質を利用すれば、適正な電圧で動作させる場合と、過剰な電圧を印加する場合とで、電流値の変化に大きな差が生じるため、1つの素子で2つ以上のモードで動作させることも可能である。

【0094】

本実施形態の抵抗変化機能体 100 は、上記ヒステリシスの効果を利用して、電流値の大小を読み出すことで2値データを判別し、メモリとして使用することが可能である。つまり、上記銀微粒子 103 および酸化銀 104 を含むシリコン酸化膜 101 は、メモリ機能体 113 として機能する。本発明の抵抗変化機能体は、電子の捕獲をする能力を有していると考えらるため、電荷保持機能体と言うこともできる。

【0095】

従来、絶縁膜等の絶縁破壊を利用するヒューズメモリでは、その絶縁膜等を絶縁破壊させるために高電圧が必要であった。これに対して、本実施形態の抵抗変化機能体 100 は、ヒューズメモリとして用いた場合、実質的な絶縁膜厚に該当する上記銀微粒子 103、103 間のシリコン酸化膜 101 および酸化銀 104 の部分の厚みは比較的小さく、また、これらの絶縁膜はトンネル可能であるので、従来のヒューズメモリよりも低電圧で書き込み動作が可能になる。したがって、本メモリ 100 は、低電圧動作のヒューズメモリとして用いることも可能である。

【0096】

本実施形態では、上記銀微粒子 103 の粒径は、TEM 観察の範囲において略 3 nm 以下であった。なお、本実施形態と同様の製造方法によって、粒径が略 6 nm 以下、および、略 10 nm 以下の導電性微粒子を有する抵抗変化機能体を作製し、これらの抵抗変化機能体について、I-V 特性を測定する実験を行なった。その結果、導電性微粒子の粒径が大きくなるにつれて、I-V 特性のヒステリシスは小さくなり、室温よりも低温であっても、ヒステリシスが不明瞭になる傾向を有することが判明した。他の粒径の導電性微粒子についても実験を行なった結果、ヒステリシスを得るためには、導電性微粒子の粒径が 11 nm 以下、好ましくは 7 nm 以下、より好ましくは 4 nm 以下とする必要があることが明らかになった。

【0097】

なお、本明細書において、「粒径」とは、微粒子の大きさをいい、上記微粒子の形状が略球形である場合や、球形に近似できる場合には、その「直径」に相当する。本発明において、上記微粒子は球形に近いほうが好ましいが、歪んだ形状の粒子や、不完全な導電体を用いる場合には、その容量と同等の容量を有する球形の導体の直径や、その表面積と同等の表面積を有する球体の直径や、その体積と同等の体積を有する球体の直径、あるいは、微粒子において互いに最も離れた 2 つの点を結ぶ距離のいずれかを、粒径とみなすことが可能である。例えば、微粒子の形状が楕円球体に近似できる場合における「長半径」、あるいは、長半径×短半径×短半径の 3 平方根などを、粒径とみなすことが可能である。

【0098】

なお、電荷の保持のためにクーロンブロッケード効果を用いる場合、クーロンブロッケード効果が顕著になるには、上記導電性微粒子の容量を考慮して、この導電性微粒子の電荷を離脱させるために必要なエネルギーが、周囲温度による熱エネルギーよりも十分大きい必要がある。そのためには、導電性微粒子を完全導体球と仮定したときに上記導電性微粒子が有すべき半径は、0.5 nm～1 nm 程度になる。なお、導電性微粒子の粒径が小さくなるにつれてクーロンブロッケード効果自体は顕著になるが、導電性微粒子の粒径が小さすぎると、第 1、第 2 の

電極間に高電圧が必要となるため、デバイス応用の観点からは、過小な粒径は好ましくない。

【0099】

また、本実施形態の抵抗変化機能体100は、シリコン酸化膜101中に銀粒子102を形成するために負イオン注入を行っているので、上記シリコン酸化膜101は、注入前のシリコン酸化膜と同等の品質を維持しており、非常に信頼性が高いものとなった。また、CVDなどで導電性微粒子を形成する場合に比べて、微粒子の形成の処理時間が短くなるので、良好な生産性を有する。

【0100】

また、上記負イオン注入によれば、上述のように帯電による導電性微粒子の分布のばらつきを抑えることができるので、シリコン酸化膜101の厚さ方向に関して微粒子102の分布がばらつくのを抑制できる。したがって、上記銀微粒子103および酸化銀104を含むシリコン酸化膜101、すなわち、メモリ機能体113を薄膜化することができ、微細化が可能になる。このようにメモリ機能体113を薄膜化した場合、上記第1、第2の電極111、112間に印加する電圧が同じであっても、上記メモリ機能体113に印加される実効電場は、メモリ機能体113が厚い場合よりも強くなる。したがって、抵抗変化機能体100でメモリを形成した場合、このメモリの動作電圧を低電圧化することが可能となり、生産性および低消費電力化を、いずれも向上することができる。

【0101】

図4は、上記抵抗変化機能体と同様の構造を有すると共に、A1膜を蒸着しパターン化してなる第1の電極としての電極411を備えたメモリ150を示す図である。すなわち、上記シリコン酸化膜101が第1の絶縁体であり、上記銀微粒子103が導電体微粒子であり、上記酸化銀104が第2の絶縁体である。上記電極411には、図示しない電源および電流センサを接続する。図5は、この電極411を備えたメモリ150の常温（25℃）における電流対電圧（I-V）特性を示す図である。このグラフを用いて、上記メモリ150の記憶状態を判別する動作を説明する。

【0102】

図5に示したメモリ150の特性は、上記抵抗変化機能体に関する図3におけるのと同様に、シリコン基板300を接地し、第1の電極411に電圧を印加して、第1の電極411に流れる電流を観測して得られたものである。まず、上記第1電極411の印加電圧を V_w から連続的に上昇させると、矢印S1で示すように、第1電極411の電流値が当初の i_j から増大する。これに続いて、上記印加電圧が V_e に達した後、この第1電極411の印加電圧を連続的に低下させると、矢印S2で示すように、矢印S1とは異なる経路を経て電流値が減少する。そして、上記印加電圧が V_w にまで低下したとき、この印加電圧を上昇したときの当初の電流値 i_j よりも絶対値が小さい電流値 i_j となる。このように、同一電圧 V_w で電流の大きさが小さくなったということは、抵抗が大きくなったと言える。このように、図5に示した電流対電圧（I-V）特性には、ヒステリシスが現れる。

【0103】

ここで、例えば図5に示すように、書込電圧 V_w 、消去電圧 V_e を設定する。そして、メモリウィンドウ（ヒステリシスを生じる電圧値の幅）の中央の電圧値になるように、書込状態と消去状態とを判別するための読出電圧 V_r を設定し、判別基準となる基準電流値 I_j を設定する。上記読出電圧 V_r を印加したときの電流の大きさを読み取り、その電流の読取値と基準電流値 I_j との大小関係によって、このメモリ150の記憶状態を判別することができる。例えば、上記電流の読取値が基準電流値 I_j よりも大きければ消去状態（論理0）であり、上記電流の読取値が基準電流値 I_j よりも小さければ書込状態（論理1）であると判別する。

【0104】

このように、上記メモリ機能体を用いたメモリ150は、2値メモリとして用いることが可能である。

【0105】

他の実施形態では、銀に換えてシリコンで導電性微粒子を形成することができる。すなわち、シリコン熱酸化膜中に、10～15 KeVの注入エネルギーの下で、 $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^2$ のドーズ量でシリコンを注入した。そ

して、窒化雰囲気中で熱処理を行い、 SiO_2 中に、シリコン微粒子表面が SiN で覆われた SiN/Si 微粒子が離散的に存在してなるメモリ機能体を作製した。上記熱処理は、アンモニア雰囲気中でおよそ 900°C で数時間施した。

【0106】

本実施形態で作製したメモリ機能体は、従来のCVDおよびエッチングで形成した微粒子を有するメモリ機能体に比べて、ヒステリシスが大きく（すなわちメモリウインドウが大きく）、また、良好な電荷保持特性を有する。これは、上記 SiN/Si 微粒子を含む絶縁膜が、シリコン熱酸化膜であるため、従来のCVD膜や多結晶シリコンの酸化膜よりも良質だからである。さらに、上記シリコン微粒子表面が SiN で覆われており、この SiN は、アニール処理によって厚みが略均一に形成された良質のものであることが影響している。

【0107】

また、他の実施形態では、銀に換えてアルミニウムによって導電性微粒子を形成する。上記アルミニウムは、 $5\sim 15\text{KeV}$ の注入エネルギーの下で、 $1\times 10^{14}\sim 1\times 10^{16}/\text{cm}^2$ のドーズ量で、シリコン熱酸化膜に注入する。そして、 600°C 以下の温度で熱処理を行う。これによって、 SiO_2 中に、アルミニウム微粒子の表面がアルミナで覆われた $\text{Al}_2\text{O}_3/\text{Al}$ 微粒子が離散的に存在してなるメモリ機能体を作製した。

【0108】

本実施形態のメモリ機能体は、従来のメモリ機能体よりもヒステリシスが大きく（すなわちメモリウインドウが大きく）、また、良好な電荷保持特性を有する。これは、導電性微粒子として、金属であるアルミニウムを用いたことで、優れた電荷蓄積能力が得られるからである。また、上記導電性微粒子を、良好な絶縁体であるアルミナで囲むことで、優れた電荷保持能力が得られるからである。上記アルミナは、いわゆる不動態であり、上記アルミニウム微粒子表面の酸化によって形成された後は、その後は酸化が殆ど進まない。したがって、上記アルミナは、厚みが略均一に形成される。これによって、メモリ動作が安定し、信頼性の高いメモリ機能体可以实现できる。

【0109】

他の実施形態では、メモリ機能体に含まれる微粒子を、他の方法で形成する。すなわち、第 1 の絶縁体中に、導電性微粒子を形成する材料を加える方法として、イオン注入法に換えて拡散法を用いる。例えば、上記実施形態と同様にシリコン熱酸化膜中にアルミニウム微粒子を形成する場合、上記実施形態と同様にシリコン熱酸化膜を形成した後、このシリコン熱酸化膜上に、真空蒸着装置によってアルミニウム膜を製膜する。蒸着法に換えてスパッタ法を用いても良く、アルミニウム膜が形成できればどのような方法を用いても良い。

【0 1 1 0】

その後、凡そ 4 0 0 ℃～6 0 0 ℃程度の温度で熱処理を行い、シリコン熱酸化膜中にアルミニウムを拡散させる。その後、拡散した温度より低温で熱処理を行った後、酸化を行って、第 2 の絶縁体としてのアルミナを形成する。

【0 1 1 1】

その後、上記実施形態と同様に、電極を形成してメモリ機能体を形成する。このメモリ機能体は、注入によってアルミニウム微粒子を形成した実施形態と同様に、優れたメモリ特性を有することが確認された。

【0 1 1 2】

本実施形態のメモリ機能体は、拡散法を用いるので、本発明のメモリ機能体をさらに簡単に作製できる。

【0 1 1 3】

なお、上記シリコン熱酸化膜上に形成したアルミニウム膜に換えて、Al を含有するシリコン膜を用いた方が、上記シリコン熱酸化膜の表面付近のアルミニウム濃度が高濃度になることを防ぐことができるので、より好ましい。さらに、アルミニウムに代表されるような、酸化物が不動態を形成するような材料を用いれば、酸化によって良質の絶縁体を導電性微粒子の周りに形成することができるので、より好ましい。

【0 1 1 4】

本実施形態では、特別な微細加工技術を用いることなく、既存の半導体装置を用いて作製できる。また、近年提案されている単電子トランジスタのように、電子ビーム等の微細加工技術を用いて微粒子を 1 つのみ作製することも、当然可能

である。

【0 1 1 5】

また、上記導電性微粒子を形成する際、水素シンター処理を行なうことは、不要な界面準位などを抑制することができ、安定動作の抵抗変化機能体およびメモリ機能体が得られるので、好ましい。

【0 1 1 6】

図 6 (a) は、本発明の実施形態としてのメモリを示す概略断面図である。このメモリは、メモリ機能体 6 0 4 (図 1 の実施形態のメモリ機能体 1 1 3 と同じ構成を有する) と、このメモリ機能体 6 0 4 を選択するための選択トランジスタ 6 0 1 とが、電氣的に直列に接続され、シリコン基板 6 0 0 上に集積化されている。選択トランジスタ 6 0 1 は通常の MOS トランジスタであり、シリコン基板 6 0 0 の表面に互いに離間して形成されたドレイン領域 6 0 2 およびソース領域 6 0 3 と、それらの間の基板表面を覆うゲート酸化膜 6 0 8 およびゲート電極 6 0 9 を含んでいる。なお、コンタクト 6 0 5, 6 0 6 がそれぞれドレイン領域 6 0 2、ソース領域 6 0 3 に接続されている。

【0 1 1 7】

この例では、選択トランジスタ 6 0 1 のドレイン 6 0 2 につながるコンタクト 6 0 5 の一部としてメモリ機能体 6 0 4 が設けられている。具体的には、図 6 (b) はドレイン領域 6 0 2 に接するようにメモリ機能体 6 0 4 を備えた例であり、図 6 (c) はビットライン 6 2 6 のメタル配線に接してメモリ機能体 6 0 4 を備えた例であり、図 6 (d) はコンタクト 6 0 5 の途中にメモリ機能体 6 0 4 を備えた例である。

【0 1 1 8】

図 7 は、上述のメモリ機能体と選択トランジスタとを含むメモリセル M を行列状に備えたメモリの回路構成を示している。ワードライン W、ビットライン B がそれぞれ行方向、列方向に延びている。各メモリセル M のメモリ機能体 6 0 4 と選択トランジスタ 6 0 1 は、対応するビットライン B とグランド (接地) との間に直列に接続されている。

【0 1 1 9】

例えばメモリセルM (3 2 0) を選択するとき、それに接続されたワードラインW (3 0 0) に選択トランジスタの閾値電圧以上の電圧V_Hを印加し、その他のワードラインW (1 0 0), W (2 0 0), W (4 0 0) には0 V (接地電位) を与える。かつ、メモリセルM (3 2 0) に接続されたビットラインB (0 2 0) に書き込み、読出し、消去に必要な電圧V_bを印加し、その他のビットラインB (0 1 0), B (0 3 0), B (0 4 0) にはたとえ選択トランジスタがON状態であっても、書き込み、消去が行われない電圧、例えば0 Vを与える。

【0 1 2 0】

このようにすれば、メモリセルM (3 2 0) のメモリ機能体6 0 4 には電位差約V_bの電圧が印加されメモリ動作が行われる。その他のメモリセルでは選択トランジスタ6 0 1 がOFF状態であるか、選択トランジスタ6 0 1 がON状態であってもビットラインBの電位が0 Vであるのでメモリ機能体には電圧が加わらずメモリ動作は行われない。

【0 1 2 1】

図8は、上述のメモリ機能体6 0 4 と選択トランジスタ6 0 1 とを含むメモリセルMを行列状に備えたメモリの回路構成を示している。この例では、行方向に隣り合うメモリセルMの間でメモリ機能体6 0 4 と選択トランジスタ6 0 1 との配置が対称 (逆) になっており、各メモリセルMのメモリ機能体6 0 4 と選択トランジスタ6 0 1 は、対応するビットラインBとソースラインSとの間に直列に接続されている。

【0 1 2 2】

例えばメモリセルM (3 2 0) を選択するとき、それに接続されたワードラインW (3 0 0) に選択トランジスタの閾値電圧以上の電圧V_Hを与え、その他のワードラインWには0 V (接地電位) を与える。かつ、メモリセルM (3 2 0) に接続されたビットラインB (0 2 0) に書き込み、読出し、消去に必要な電圧V_bを印加し、ソースラインS (0 1 0) にはメモリセルM (3 1 0) が書き込みまたは消去動作しない電圧、例えば電圧V_bを与える。その他のビットラインB (0 4 0) およびソースラインS (0 3 0), S (0 5 0) にはたとえ選択トランジスタがON状態であっても、書き込み、消去が行われない電圧、例えば0

Vを与える。

【0123】

このようにすれば、メモリセルM(320)のメモリ機能体604には電位差約V_bの電圧が印加されメモリ動作が行われる。その他のメモリセルでは選択トランジスタ601がOFF状態であるか、選択トランジスタ601がON状態であってもビットラインBとソースラインSとの間の電位差が0Vであるので、メモリ機能体には電圧が加わらずメモリ動作は行われない。

【0124】

図9は、上述のメモリ機能体と選択トランジスタとが直列接続されたタイプの複数のメモリセルM1, M2, M3, …をシリコン基板900上に集積化した一態様のメモリの断面構造を示している。各メモリセルMの選択トランジスタは、シリコン基板900の表面に互いに離間して形成されたドレイン領域903およびソース領域907と、それらの間の基板表面を覆うゲート酸化膜908およびゲート電極909を含んでいる。隣り合うメモリセルは基板900と平行な方向(図9における左右方向)に関して対称に構成されている。メモリセルM1, M2のソース領域907は一体に連続して形成され、このソース領域907上に1つのソースコンタクト902が形成されている。つまり、メモリセルM1, M2間でソースコンタクト902が共有されている。メモリセルM2, M3のドレイン領域903, 903は左右に離間して分離され、それらのドレイン領域903, 903上にまたがって1つのメモリ機能体904(既述のメモリ機能体113と同じ物)と1つのビットコンタクト901が形成されている。つまり、メモリ機能体904は2つのドレイン領域903, 903に接するように、左右方向に一体に連続して形成されている。また、メモリセルM2, M3間でビットコンタクト901が共有されている。ビットコンタクト901には対応するビットライン926が接続されている。

【0125】

この構成では、メモリ機能体904のうちメモリ動作を行うのは、図9(b)に示すように、ビットコンタクト901とドレイン領域903, 903との間に挟まれて電圧が印加される領域905, 905に限られる。メモリ機能体904

は導電性微粒子を含有するとはいえ、基本的には絶縁体であるから、メモリ機能体 9 0 4 のうち有効な電圧が印加されない残りの部分（領域 9 0 5， 9 0 5 の間に相当する部分）は、メモリ動作をしない。

【 0 1 2 6 】

したがって、このメモリでは、メモリ機能体 9 0 4 は 2 ビットメモリ機能体として働く。このため、個々のドレイン領域 9 0 3 上にそれぞれ 1 つのメモリ機能体を形成する場合に比べ、メモリ機能体 9 0 4 の占有面積は約半分になる。また、ビットコンタクト 9 0 1、ソースコンタクト 9 0 2 の数も約半分に減少させることができる。したがって 1 セルあたりの占有面積が減少し集積度が向上する。

【 0 1 2 7 】

図 1 0 (a)， (b) はそれぞれ図 9 に示したメモリの変形例を示している。なお、既に示した図中の構成要素と同じ構成要素には同じ符号を付して、説明を省略する（以下同様。）。

【 0 1 2 8 】

これらの変形例では、隣り合うメモリセル M 2， M 3 のドレイン領域 9 0 3， 9 0 3 は、基板 9 0 0 の表面に形成された断面矩形のトレンチ（溝） 1 0 0 3 によって左右に分離されている。トレンチ 1 0 0 3 を定める基板壁面（トレンチの内壁）に沿って絶縁膜 1 0 0 1 が断面コの字状に形成され、絶縁膜 1 0 0 1 の内側は例えばポリシリコンや金属などの導電性物質（トレンチ電極） 1 0 0 5 で埋め込まれている。トレンチ電極 1 0 0 5 はビットコンタクト 1 0 0 6 と電氣的に接続されている。

【 0 1 2 9 】

図 1 0 (a) のメモリでは、絶縁膜 1 0 0 1 のうち基板表面に近い領域のみに、第 2 の絶縁膜で表面が覆われた導電性微粒子が含有されてメモリ機能体 1 0 0 4 が構成されている。この例では、メモリ機能体 1 0 0 4 は、基板表面からドレイン領域 9 0 3 の深さよりも深くまで達している。一方、図 1 0 (b) のメモリでは、絶縁膜 1 0 0 1 のうち全領域に導電性微粒子が含有されてメモリ機能体 1 0 1 4 が構成されている。

【 0 1 3 0 】

いずれにしても図10(c)に示すように、メモリ機能体1004のうちメモリ動作を行うのは、トレンチ電極1005とドレイン領域903とで挟まれて電圧が印加される領域1024、1024に限られる。メモリ機能体1004は導電性微粒子を含有するとはいえ、基本的には絶縁体であるから、メモリ機能体1004のうち有効な電圧が印加されない残りの部分は、メモリ動作をしない。

【0131】

これらの図10(a), (b)のメモリでは、図9のメモリと同様に、個々のドレイン領域903上にそれぞれ1つのメモリ機能体を形成する場合に比べ、メモリ機能体1004、1014の占有面積は約半分になる。また、ビットコンタクト901、ソースコンタクト902の数も約半分に減少させることができる。したがって1セルあたりの占有面積が減少し集積度が向上する。

【0132】

図11は、上述のメモリ機能体と整流機能体とを含むメモリセルMを行列状に備えたメモリの回路構成を示している。ワードラインW、ビットラインBがそれぞれ行方向、列方向に延びている。各メモリセルMのメモリ機能体1204（既述のメモリ機能体113と同じ物）と整流機能体1201は、対応するビットラインBとワードラインWとの間に直列に接続されている。各整流機能体1201は、ワードラインWからメモリ機能体1204を通してビットラインBへ電流が流れるのを許容する一方、ビットラインBからメモリ機能体1204を通してワードラインWへ電流が流れるのを阻止する。

【0133】

例えばメモリセルM(320)を選択するとき、それに接続されたワードラインW(300)に正電圧 V_H を印加し、かつビットラインB(020)にメモリ機能体1204に書き込み、読出し、消去のうち所望の動作に必要な電位差になるような負電圧 V_L を印加する。さらにその他のビットラインB(010), B(030), B(010)には、ワードラインWに正電圧 V_H が印加されていてもメモリ機能体1204に書き込み、消去が行われない電位差になるような電圧を印加する。例えば電位差を0にするならば電圧 V_H を印加する。同様に、その他のワードラインW(100), W(200), W(400)には電圧 V_L を印

加し選択しないメモリ機能体1204に加わる電位差を0になるようにする。

【0134】

このようにすれば、メモリセルM(320)のメモリ機能体1204には電位差約($V_H - V_L$)のが印加されメモリ動作が行われる。その他のメモリセルMでは電位差が0であるか、電位差があっても整流機能体1201に対して逆方向電圧であるので、電流が制限されてメモリ機能体1204はメモリ動作を行わない。

【0135】

あるいは、整流機能体1201として、閾値が存在し順方向であっても電位差 V_t 未満では電流が流れないかメモリ動作しない程度の小電流しか流れないものを用いても良い。但し、メモリ機能体1204のメモリ動作に必要な電位差を V_m としたとき、 $V_t > (V_m/2)$ であるものとする。例えば、メモリセルM(320)を選択するためにはワードラインW(300)に正電圧($V_m/2$)、ビットラインB(020)に負電圧 $-(V_m/2)$ を印加して、メモリ機能体1204にメモリ動作に必要な電位差 V_m を与える。その他のワードラインWおよびビットラインBには電圧0Vを与える。この場合、非選択のメモリセルMには最大($V_m/2$)の電位差に加わるが、整流機能体1201によって電流が制限されるので、メモリ動作は行われない。

【0136】

図12は、上述のメモリ機能体とPN接合からなる整流機能体とを含むメモリセルがとり得る様々な構造を示している。

【0137】

図12(a)は、メモリ機能体1204(既述のメモリ機能体113と同じ物)と整流機能体1201とが電氣的に直列に接続された態様を模式的に示している。整流機能体1201は、N型半導体1202とP型半導体1203とが作るPN接合を含んでいる。

【0138】

図12(b)は、図12(a)における整流機能体1201を半導体基板(例えばシリコン基板)1215上に形成した態様を模式的に表している。この例で

は、整流機能体 1201 の P 型半導体領域 1203 および N 型半導体領域 1202 は、公知の方法により、半導体基板 1215 の表面へ順次不純物を注入、拡散等することにより形成されている。

【0139】

図 12 (c) ~ 図 12 (e) は、図 12 (b) におけるメモリ機能体 1204 の配置を具体的に表している。図 12 (c) はメモリ機能体 1204 がコンタクト 1226 の途中に設けられた例であり、図 12 (d) はメモリ機能体 1204 が N 型半導体領域 1202 に接するように設けられた例であり、また、図 12 (e) はメモリ機能体 1204 がビットライン 1247 に接するように設けられた例である。メモリ機能体 1204 は既述の方法により形成され、コンタクト 1226, 1227 は公知の方法により形成される。

【0140】

図 13 は、各メモリセルにメモリ機能体と PN 接合からなる整流機能体とを含み、かつ隣り合う 2 つのメモリセルで構成要素を共有したときの様々な構造を示している。なお、この図 13 ではコンタクトが簡略化した形で表されているが、公知の方法により形成される。

【0141】

図 13 (a) は、メモリ機能体 1204 と整流機能体 1301 とを含むメモリセル M11, M12, M13, ... が電氣的に直列に接続された態様を模式的に示している。隣り合うメモリセルは互いに対称に構成されている。各整流機能体 1301 は、N 型半導体領域 1302 と P 型半導体領域 1303 とが作る PN 接合を含んでいる。P 型半導体領域 1303 にはワードコンタクト 1305、メモリ機能体 1204 にはビットコンタクト 1304 がそれぞれ電氣的に接続されている。

【0142】

図 13 (b) は、上述の複数のメモリセル M11, M12, M13, ... をシリコン基板 1316 上に集積化してなるメモリの断面構造を示している。隣り合うメモリセル M11, M12 の間では N 型半導体領域 1302, 1302 が基板 1316 と平行な方向 (図 13 における左右方向) に離間して形成され、それらの

N型半導体領域1302, 1302上にまたがって1つのメモリ機能体1204と1つのビットコンタクト1304が形成されている。つまり、メモリ機能体1204は2つのN型半導体領域1302, 1302に接するように、左右方向に一体に連続して形成されている。隣り合うメモリセルM12, M13の間ではP型半導体領域1303が一体に連続して形成され、その上に1つのワードコンタクト1305が形成されている。このようにした場合、1セルあたりの占有面積が減少し集積度が向上する。

【0143】

このメモリを作製するには、まずシリコン基板1316の表面に酸化膜（図示せず）を形成し、既述の方法でメモリ機能体1204を形成する。次に、シリコン基板1316の表面へ順次不純物を注入、拡散等することによりP型半導体領域1303、N型半導体領域1302を形成する。このとき、メモリ機能体1204に覆われた領域には不純物は注入されない。この後、公知の方法により、コンタクト1304, 1305を形成する。

【0144】

図13(c)は、図13(b)に示したメモリの変形例を示している。この変形例では、隣り合うメモリセルM11, M12のN型半導体領域1302, 1302間に、公知の方法により素子分離領域1327が設けられている。このようにした場合、隣り合う2つのメモリセルM11, M12間を確実に電氣的に分離できる。

【0145】

図13(d)は、さらなる変形例を示している。この変形例では、隣り合うメモリセルM11, M12のN型半導体領域1302, 1302間に、公知の方法により断面矩形のトレンチ（溝）1333が設けられている。トレンチ1333を定める基板壁面（トレンチの内壁）に沿って絶縁膜1331が断面コの字状に形成され、絶縁膜1331の内側は例えばポリシリコンや金属などの導電性物質（トレンチ電極）1335で埋め込まれている。トレンチ電極1335はビットコンタクト1304と電氣的に接続されている。そして、絶縁膜1331のうち基板表面に近い領域のみに導電性微粒子が含有されてメモリ機能体1334が構

成されている。この例では、メモリ機能体 1334 は、基板表面から N 型半導体領域 1302 の深さと略同じ深さまで達している。このようにした場合、隣り合う 2 つのメモリセル M11, M12 間を確実に電氣的に分離できる。

【0146】

図 14 は、上述のメモリ機能体と整流機能体と選択トランジスタとを含むメモリセル M を行列状に備えたメモリの回路構成を示している。ワードライン W、ビットライン B がそれぞれ行方向、列方向に延びている。この例では、行方向に隣り合うメモリセル M の間でメモリ機能体 1204、整流機能体 1201、選択トランジスタ 1209（既述の選択トランジスタ 601 と同じ物）の配置が対称（逆）になっている。また、列方向に関してワードライン W を介して隣り合うメモリセル M の間でメモリ機能体 1204、整流機能体 1201、選択トランジスタ 1209 の配置が対称（逆）になっている。各メモリセル M のメモリ機能体 1204 と整流機能体 1201 と選択トランジスタ 1209 は、対応するビットライン B とビットライン B との間に直列に接続されている。なお、各ビットライン B は、切り替えられてソースラインとしても働く。

【0147】

メモリセル M (320) を第 1 のセルとし、それに対して行方向に隣り合うメモリセル M (310), M (330) をそれぞれ第 2 のセル、第 4 のセルとし、列方向に隣り合うメモリセル M (220), M (420) をそれぞれ第 3 のセル、第 5 のセルとする。第 1 のセル M (320) と第 2 のセル M (310) についてビットライン B (020) は共通、ワードライン W (200) は共通、かつソースライン B (010), B (030) は非共通である。第 1 のセル M (320) と第 3 のセル M (220) についてビットライン B (020) は共通、ソースライン B (030) は共通、かつワードライン W (200), W (100) は非共通である。第 1 のセル M (320) と第 4 のセル M (330) についてソースライン B (030) は共通、ワードライン W (200) は共通、かつビットライン B (020), B (040) は非共通である。そして、第 1 のセル M (320) と第 5 のセル M (420) についてワードライン W (200) は共通、第 1 のセル M (320) のソースライン B (030) と第 5 のセル M (420) のビッ

トライン B (0 3 0) は共通、かつ第 1 のセル M (3 2 0) のビットライン B (0 2 0) と第 5 のセル M (4 2 0) のソースライン B (0 2 0) は共通である。

【 0 1 4 8 】

例えば、第 1 のセル M (3 2 0) を選択する場合、ワードライン W (2 0 0) に選択トランジスタ 1 2 0 9 が ON する電圧 V_o 、その他のワードライン W (1 0 0) には選択トランジスタ 1 2 0 9 が OFF する電圧 V_u を印加する。かつ、ビットライン B (0 1 0) , B (0 2 0) には高電圧 V_H 、その他のビットライン B (0 3 0) , B (0 4 0) には低電圧 V_L を印加する。ただし電位差 ($V_H - V_L$) はメモリセル M がメモリ動作するに十分な順方向電流が流れる電位差とする。

【 0 1 4 9 】

このようにすれば、第 1 のセル M (3 2 0) にはメモリ動作に必要な電位差と順方向電流が流れる。

【 0 1 5 0 】

第 1 のセル M (3 2 0) に対して行方向に隣り合い、それぞれ第 1 のセル M (3 2 0) とビットライン B (0 2 0) , B (0 3 0) を共用しているセル、つまり第 2 のセル M (3 1 0) と第 4 のセル M (3 3 0) は、選択トランジスタ 1 2 0 9 の ON、OFF にかかわらず電位差がなく (電圧が加わらず)、電流が流れないのでメモリ動作はしない。

【 0 1 5 1 】

第 1 のセル M (3 2 0) に対して列方向に隣り合い、第 1 のセル M (3 2 0) とビットライン B (0 2 0) , B (0 3 0) の両方を共用しているが、ワードライン W (2 0 0) を共用していないセル、つまり第 3 のセル M (2 2 0) は、選択トランジスタ 1 2 0 9 が OFF であるので、メモリ動作に必要な電流が流れずメモリ動作はしない。

【 0 1 5 2 】

第 1 のセル M (3 2 0) に対して列方向に隣り合い、第 1 のセル M (3 2 0) とビットライン B (0 2 0) , B (0 3 0) およびワードライン W (2 0 0) の全てを共用しているセル、つまり第 5 のセル M (4 2 0) は、整流機能体 1 2 0

1のお蔭で逆方向電流しか流れないため、メモリ動作に必要な電流が流れずメモリ動作はしない。

【0153】

このメモリでは、ビットラインおよびワードラインの共用が可能になるので、配線を減少させることができ、配線に起因する占有面積の増大を大幅に抑制することが可能となる。

【0154】

図15は、上述のメモリ機能体とショットキー接合からなる整流機能体とを含むメモリセルがとり得る様々な構造を示している。

【0155】

図15(a)は、メモリ機能体1504(既述のメモリ機能体113と同じ物)と整流機能体1501とが電氣的に直列に接続された態様を模式的に示している。整流機能体1501は、金属1502とN型半導体1503とが作るショットキー接合を含んでいる。

【0156】

図15(b)は、図15(a)における整流機能体1501を半導体基板(例えばシリコン基板)1515上に形成した態様を模式的に表している。この例では、整流機能体1501のN型半導体領域1503は、公知の方法により、半導体基板1515の表面へ不純物を注入、拡散等することにより形成されている。その上に金属1512を形成して、金属1502とN型半導体1503との間にショットキー接合が形成されている。金属1502上にはコンタクト1526を介してメモリ機能体1504が設けられている。金属1502とコンタクト1526は同じ材料から形成されてもよく、その場合、工程を分けずに済むため工程を減らすことができ、生産性に優れる。

【0157】

図15(c)～図15(d)は、図15(b)におけるメモリ機能体1504の配置を具体的に表している。図15(c)はメモリ機能体1504がコンタクト1526の途中に設けられた例であり、図15(d)はメモリ機能体1504が金属1502に接するように設けられた例である。

【0158】

ここで、金属と半導体との間にショットキー接合を形成するためには、半導体の不純物濃度（N型、P型を問わず）が低濃度、例えば $10^{18}/\text{cm}^3$ 未満であることが望ましい。半導体の不純物濃度が高濃度すぎると、オーミック接合が形成されてしまうからである。なお、半導体をN型にするかP型にするかは整流方向をどちらにするかによる。例えば半導体をN型にした場合、金属－n型半導体ショットキー接合の順方向は金属からN型半導体の方向になる。すなわち、電子はN型半導体から金属の方向へ移動する。

【0159】

図15（e）は、上述のN型半導体領域1503が、金属1502に接する低濃度N型半導体層1543と、その周りを取り囲みコンタクト1527に接する高濃度N型半導体層1548とからなる態様を示している。高濃度N型半導体層1548の不純物濃度は、例えば $10^{20}/\text{cm}^3$ を超える程度とする。抵抗半導体層1548を備えた例である。このようにすれば、金属1502との間でショットキー接合を形成できるとともに、コンタクト1527との間でオーミック接合を形成できる。しかも、N型半導体領域1503（高濃度N型半導体層1548）の抵抗を低減することができ、動作速度の向上および低消費電力化が可能となる。

【0160】

なお、コンタクトと半導体層との接合をオーミック接合とするには、半導体層の不純物濃度を高濃度にする、あるいは接合部分に金属シリサイドを形成するなどの方法を用いることができる。

【0161】

図16は、各メモリセルにメモリ機能体とショットキー接合からなる整流機能体とを含み、かつ隣り合う2つのメモリセルで構成要素を共有したときの様々な構造を示している。なお、この図16ではコンタクトが簡略化した形で表されているが、公知の方法により形成される。

【0162】

図16（a）は、メモリ機能体1504と整流機能体1601とを含むメモリ

セルM21, M22, M23, …が電氣的に直列に接続された態様を模式的に示している。隣り合うメモリセルは互いに対称に構成されている。各整流機能体1601は、N型半導体領域1602と金属層1603とが作るショットキー接合を含んでいる。金属層1603にはビットコンタクト1605、メモリ機能体1504にはワードコンタクト1604がそれぞれ電氣的に接続されている。

【0163】

図16(b)は、上述の複数のメモリセルM21, M22, M23, …をシリコン基板1616上に集積化してなるメモリの断面構造を示している。隣り合うメモリセルM21, M22の間ではN型半導体領域1602, 1602が基板1616と平行な方向(図16における左右方向)に離間して形成され、それらのN型半導体領域1602, 1602上にまたがって1つのメモリ機能体1504と1つのワードコンタクト1604が形成されている。つまり、メモリ機能体1504は2つのN型半導体領域1602, 1602に接するように、左右方向に一体に連続して形成されている。隣り合うメモリセルM22, M23の間では金属層1603が一体に連続して形成され、その上に1つのビットコンタクト1605が形成されている。このようにした場合、1セルあたりの占有面積が減少し集積度が向上する。

【0164】

このメモリを作製するには、まずシリコン基板1616の表面に酸化膜(図示せず)を形成し、既述の方法でメモリ機能体1504を形成する。次に、シリコン基板1616の表面へ順次不純物を注入、拡散等することによりN型半導体領域1602を形成する。このとき、メモリ機能体1504に覆われた領域には不純物は注入されない。次に、N型半導体領域1602とショットキー接合を形成するように金属層1603を形成する。この後、公知の方法により、コンタクト1604, 1605を形成する。

【0165】

図16(c)は、図16(b)に示したメモリの変形例を示している。この変形例では、隣り合うメモリセルM21, M12のN型半導体領域1602, 1602間に、公知の方法により素子分離領域1627が設けられている。このよう

にした場合、隣り合う 2 つのメモリセル M2 1, M2 2 間を確実に電氣的に分離できる。また、上述の N 型半導体領域 1602 が、金属層 1603 に接する低濃度 N 型半導体層 1643 と、その周りを取り囲みメモリ機能体 1504 と接する高濃度 N 型半導体層 1648 とからなっている。これにより、N 型半導体領域 1602 (高濃度 N 型半導体層 1648) の抵抗を低減することができ、動作速度の向上および低消費電力化が可能となる。

【0166】

図 16 (d) は、さらなる変形例を示している。この変形例では、隣り合うメモリセル M2 1, M1 2 の N 型半導体領域 1602, 1602 間に、公知の方法により断面矩形のトレンチ (溝) 1633 が設けられている。トレンチ 1633 を定める基板壁面 (トレンチの内壁) に沿って絶縁膜 1631 が断面コの字状に形成され、絶縁膜 1631 の内側は例えばポリシリコンや金属などの導電性物質 (トレンチ電極) 1635 で埋め込まれている。トレンチ電極 1635 はワードコンタクト 1604 と電氣的に接続されている。そして、絶縁膜 1631 のうち基板表面に近い領域のみに導電性微粒子が含有されてメモリ機能体 1634 が構成されている。この例では、メモリ機能体 1634 は、基板表面から N 型半導体領域 1602 の深さと略同じ深さまで達している。このようにした場合、隣り合う 2 つのメモリセル M2 1, M2 2 間を確実に電氣的に分離できる。また、図 16 (c) におけるのと同様に、上述の N 型半導体領域 1602 が、金属層 1603 に接する低濃度 N 型半導体層 1643 と、その周りを取り囲みメモリ機能体 1504 と接する高濃度 N 型半導体層 1648 とからなっている。これにより、N 型半導体領域 1602 (高濃度 N 型半導体層 1648) の抵抗を低減することができ、動作速度の向上および低消費電力化が可能となる。

【0167】

図 17 (a) は上述のメモリ機能体が基板に対して垂直な方向に複数配置されているメモリの 3 次元立体構造を示し、図 17 (b) は図 17 (a) 中の構成要素の電氣的接続を示している。なお、図 17 (a) では層間絶縁体は図示していない。

【0168】

このメモリは、図示しない基板に対して平行にそれぞれ異なる高さで延びる複数の配線 1701, 1702, 1703, …を備えている。上層の配線 1701 と下層の配線 1703 とは平行で、これらに対して中間層の配線 1702 が交差している。配線 1701 と配線 1702 とが交差する箇所に、コンタクト 1706 を介してそれらの配線 1701, 1702 に挟まれるようにメモリ機能体 1710 (既述のメモリ機能体 113 と同じ物) が設けられている。これにより、メタル配線 1701 とメタル配線 1702 とが交差する箇所に、メモリセルが構成されている。同様に、配線 1702 と配線 1703 とが交差する箇所に、コンタクト 1716 を介してそれらの配線 1702, 1703 に挟まれるようにメモリ機能体 1720 (既述のメモリ機能体 113 と同じ物) が設けられて、メモリセルが構成されている。なお、別の言い方をすれば、コンタクト 1706, 1716 をそれぞれ分断するようにメモリ機能体 1710, 1720 が設けられている。

【0169】

この図 17 (a) の構造では、メモリ機能体 1710, 1720 が 3 次元的に集積化されているので、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

【0170】

図 18 (a) は、上述のタイプの 3 次元立体構造を持つメモリであって、各メモリセルがメモリ機能体と整流機能体とを含むものを示している。図 18 (b) は図 18 (a) 中の構成要素の電氣的接続を示している。

【0171】

このメモリは、図示しない基板に対してそれぞれ異なる高さで延びる複数のメタル配線 1801, 1802, 1803A, …を備えている。下層のメタル配線 1801 と上層のメタル配線 1803A とは平行で、これらに対して中間層のメタル配線 1802 が交差している。メタル配線 1801 とメタル配線 1802 とが交差する箇所に、メタル配線 1801 に接してショットキー接合を形成するように半導体 1820 が設けられている。メタル配線 1801 と半導体 1820 とで整流機能体が構成されている。その整流機能体をなす半導体 1820 とメタル配線 1802 とに挟まれるようにメモリ機能体 1810 (既述のメモリ機能体 1

13と同じ物)が設けられている(半導体1820とメタル配線1802とはメモリ機能体1810によって電氣的に隔てられている。)。これにより、メタル配線1801とメタル配線1802とが交差する箇所に、メモリセルが構成されている。同様に、メタル配線1802とメタル配線1803Aとが交差する箇所に、全く同じ態様で、半導体1820とメモリ機能体1810とが設けられて、メモリセル1832Aが構成されている。さらに、メタル配線1803とその上層の図示しないメタル配線とが交差する箇所にも、全く同じ態様で、半導体1820とメモリ機能体1810とが設けられて、メモリセル1833Aが構成されている。

【0172】

図18(b)は、図18(a)に示したメモリの変形例を示している。図18(a)の構造では、例えばメタル配線1803Aの上下に配置されたメモリセル1833A、1832Aが上下方向に1列に並んでいる。これに対して、この図18(b)の構造では、下層のメタル配線1801に対して上層のメタル配線1803Bが横方向(この配線1803Bの長手方向に対して垂直な方向)にずらして配置されている。これとともに、例えばメタル配線1803Bの下に配置されたメモリセル1832Bに対して、上に配置されたメモリセル1833Bがこの配線1803Bの長手方向にずらして配置されている。この結果、この図18(b)の構造では、図18(a)の構造に比べて、メモリセル間の空間的な平均距離がより遠くなっている。したがって、メモリセル間で互いに影響を与えにくくなって、メモリの信頼性が向上する。

【0173】

次に、図19を用いて、図18(a)に示したタイプの3次元立体構造を持つメモリの作製方法を説明する。図19(a)、(b)、(c)、(d)、(e)は作製途中の物をそれぞれ同一方向から見たときの態様を示し、図19(f)、(g)、(h)、(i)、(j)はそれぞれ図19(a)、(b)、(c)、(d)、(e)の物を右側方から見たときの態様を示している。

【0174】

まず図19(a)、(f)に示すように、図示しない基板上の全域に、メタル

配線層 1901 と、このメタル配線層とショットキー接合を形成するための半導体層（例えばポリシリコン層）1902 と、メモリ機能体層 1903 とを順次積層する。メモリ機能体層 1903 は、既述のメモリ機能体 113 と同じ構造になるように、例えばシリコン酸化膜を形成した後、そのシリコン酸化膜中に導電性微粒子をイオン注入して形成する。

【0175】

次に図 19 (b), (g) に示すように、各層 1903, 1902, 1901 を一括してエッチングして、一方向に延びるライン状にパターン加工する。このように一括してエッチングを行えば、各層 1903, 1902, 1901 毎にエッチングを繰り返すよりも、工程を簡略化することができる。なお、このエッチング後、全域に図示しない層間絶縁膜、例えば酸化シリコンを堆積し、CMP（化学的機械的研磨）法によりその表面の平坦化を行う。

【0176】

次に図 19 (c), (h) に示すように、この上の全域に、繰り返して、メタル配線層 1924 と、このメタル配線層とショットキー接合を形成するための半導体層 1925 と、メモリ機能体層 1926 とを順次積層する。

【0177】

次に図 19 (d), (i) に示すように、各層 1924, 1925, 1926 を一括してエッチングして、上記各層 1903, 1902, 1901 が延びる方向に対して略垂直に交差して延びるライン状にパターン加工する。このように一括してエッチングを行えば、各層 1924, 1925, 1926 毎にエッチングを繰り返すよりも、工程を簡略化することができる。この段階で、下層のメタル配線 1901 とその上のメタル配線 1924 とが交差する箇所に、パターン加工された半導体層 1902 とメモリ機能体 1903 とを含む 1 層目のメモリセルが形成されている。なお、このエッチング後、再び全域に図示しない層間絶縁膜、例えば酸化シリコンを堆積し、CMP 法によりその表面の平坦化を行う。

【0178】

この後同様にして、図 19 (e), (j) に示すように、メタル配線となるべきメタル層 1947、半導体層 1948、メモリ機能体層 1949 の堆積と、一

括エッチングとを繰り返す。この段階で、メタル配線 1924 とその上のメタル配線 1947 とが交差する箇所に、パターン加工された半導体層 1925 とメモリ機能体 1926 とを含む 2 層目のメモリセルが形成されている。

【0179】

このようにして、メタル層、半導体層、メモリ機能体層の堆積と一括エッチングとを繰り返すことによって、3次元立体構造を持つメモリを作製することができる。

【0180】

なお、次回の一括エッチングによって、パターン加工された半導体層 1948 とメモリ機能体層 1949 とを含む 3 層目のメモリセルが形成される。

【0181】

さて、既に述べたように、メモリ機能体は導電性微粒子を含有するとはいえ、基本的には絶縁体であるから、メモリ機能体のうち有効な電圧が印加されない残りの部分は、メモリ動作をしない。

【0182】

例えば図 20 (a) に示すように、メモリ機能体層 2001 を挟む上下一対の電極 2003, 2002; 2003, 2002; … が層方向 (図 20 における左右方向) に互いに離間して並べて置されているものとする。この場合において、例えば右端の電極対 2003, 2002 の間に電圧が印加されたとき、メモリ機能体層 2001 のうちメモリ動作する領域は、右端の電極対 2003, 2002 の間に挟まれた領域 2004 A 近傍に限られる。したがって、電圧が印加されない中央の電極対 2003, 2002 の間に挟まれた領域 2004 B が誤動作することはない。

【0183】

また図 20 (b) に示すように、メモリ機能体層 2011 の下に左右方向に延びる配線層 2012 が形成され、メモリ機能体層 2011 の上に奥手前方向 (図 20 の紙面に垂直な方向) に延びる配線層 2013, 2013, … が互いに離間して並べて置されているものとする。この場合も、例えば配線層 2012 と右端の配線層 2013 との間に電圧が印加されたとき、メモリ機能体層 2011 のう

ちメモリ動作する領域は、それらの配線層 2012, 2013 が交差する領域 2014A 近傍に限られる。したがって、配線層 2012 と中央の配線層 2013 との間に挟まれた領域 2004B が誤動作することはない。

【0184】

このように、メモリ機能体層のうち有効な電圧が印加されない残りの部分は、メモリ動作をしない。したがって、メモリ機能体層をエッチングによってメモリセル毎に分割せず、一体に連続した状態にすることができる。そのようにした場合、メモリ動作する領域にエッチングによるダメージを与えるのを防止でき、メモリの信頼性を向上することができる。

【0185】

次に、図 21 を用いて、3 次元立体構造を持つメモリを作製する際に、メモリ機能体層を層方向に一体に連続した状態に形成する作製方法を説明する。図 21 (a), (b), (c), (d), (e) は作製途中の物をそれぞれ同一方向から見たときの態様を示し、図 21 (f), (g), (h), (i), (j) はそれぞれ図 21 (a), (b), (c), (d), (e) の物を右側方から見たときの態様を示している。

【0186】

まず図 21 (a), (f) に示すように、図示しない基板上の全域に、メタル配線層 2101 と、このメタル配線層とショットキー接合を形成するための半導体層（例えばポリシリコン層）2102 とを順次積層し、これらの層 2102, 2101 を一括してエッチングして、一方向に延びるライン状にパターン加工する。さらに、半導体層 2102 をエッチングして、メモリセル毎に分離する。このエッチング後、全域に層間絶縁膜となるべき絶縁体層 2103、例えば酸化シリコンを十分厚く堆積し、図 21 (b), (g) に示すように、CMP 法によりその表面の平坦化を行う。この平坦化は、半導体層 2102 の上面が露出するまで行うのではなく、半導体層 2102 上の絶縁体層 2103 の厚さが、次工程で形成すべきメモリ機能体層の厚さに相当するところまで行う。

【0187】

次に図 21 (c), (h) に示すように、絶縁体層 2103 のうち半導体層 2

102の上面より上の領域に、導電性微粒子をイオン注入してメモリ機能体層2104を形成する。メモリ機能体層2104は、既述のメモリ機能体113と同じ構造であり、半導体層2102に接し、かつ基板上の全域に層方向に一体に連続した状態に形成される。

【0188】

次に図21(d), (i)に示すように、再び全域にメタル配線層2105と、このメタル配線層とショットキー接合を形成するための半導体層2106とを順次積層し、これらの層2106, 2105を一括してエッチングして、メタル層2101が延びる方向に対して略垂直に交差して延びるライン状にパターン加工する。さらに、半導体層2106をエッチングして、メモリセル毎に分離する。このエッチング後、全域に層間絶縁膜となるべき絶縁体層2107、例えば酸化シリコンを十分厚く堆積し、図21(e), (j)中に示すように、CMP法によりその表面の平坦化を行う。この平坦化は、半導体層2106の上面が露出するまで行うのではなく、半導体層2106上の絶縁体層2107の厚さが、次工程で形成すべきメモリ機能体層の厚さに相当するところまで行う。

【0189】

この後、同様の工程を繰り返して、図21(e), (j)に示すような3次元立体構造を得る。この図21(e), (j)は、メタル配線層、半導体層、メモリ機能体層を3組積層した様子を表している。図中、2108はメモリ機能体層、2109はメタル配線層、2110は半導体層、2111は層間絶縁膜(絶縁体層)、2112はメモリ機能体層をそれぞれ示している。

【0190】

この構造では、図21(e)から分かるように、例えばメタル配線2109の下に配置されたメモリセル2124に対して、上に配置されたメモリセル2134がこの配線2109の長手方向にずらして配置されている。また、図21(j)から分かるように、例えばメタル配線2105の下に配置されたメモリセル2114に対して、上に配置されたメモリセル2124がこの配線2105の長手方向にずらして配置されている。この結果、この構造では、メモリセルを上下方向に1列に並べる場合に比べて、メモリセル間の空間的な平均距離がより遠くな

っている。したがって、メモリセル間で互いに影響を与えにくくなって、メモリの信頼性が向上する。

【0191】

図22(a), (b)は、図21(e), (j)に示した構造の変形例を示している。図21(b)は図21(a)の物を右側方から見たときの態様を示している。

【0192】

この変形例では、メモリ機能体層2104とその上下のメタル配線層2105、半導体層2102との間、メモリ機能体層2108とその上下のメタル配線層2109、半導体層2106との間、また、メモリ機能体層2112とその上下のメタル配線層2113、半導体層2110との間に、それぞれコンタクト2205が設けられている。

【0193】

当然ながら、図21、22においてそれぞれメモリ機能体をメモリセル毎に分離した構造を用いることもできる。

【0194】

図23(a), (b)は、図21(e), (j)に示した構造の別の変形例を示している。図21(b)は図21(a)の物を右側方から見たときの態様を示している。

【0195】

この変形例では、ショットキー接合からなる整流機能体に代えて、PN接合からなる整流機能体が設けられている。すなわち、メタル配線層2101とメモリ機能体層2104との間、メタル配線層2105とメモリ機能体層2108との間、また、メタル配線層2109とメモリ機能体層2112との間に、それぞれPN接合をなすP型半導体層2353とN型半導体層2352との対が設けられている。

【0196】

なお、P型半導体層とN型半導体層とは入れ替えても良い。P型とN型を入れ替えることにより整流方向を反転させることが可能である。

【0197】

この図23の構造は、半導体層をP型半導体層とN型半導体層との2層とする工程以外は、図21の例と同様の工程で作製することができる。

【0198】

一般に、ショットキー接合ダイオードに比べ、PN接合ダイオードは不純物濃度によって障壁高さを調節し易い。したがって、ショットキー接合からなる整流機能体に代えて、PN接合からなる整流機能体を用いた場合、整流機能体の特性を調整し易く、汎用性に優れる。例えば障壁高さを調節すれば、一定電圧下で流れる電流量あるいは容量を変化させることができ、メモリ動作電圧を調整することが容易である。

【0199】

図24(a), (b)は、図23(a), (b)に示した構造の変形例を示している。図24(b)は図24(a)の物を右側方から見たときの態様を示している。

【0200】

この変形例では、整流機能体としてPN接合をなす2層の半導体層のうち、メタル配線層に接する半導体層2451がそのメタル配線層に沿ってライン状に延びている。つまり、メタル配線層2101, 2105, 2109にそれぞれ接する半導体層2451, 2451, 2451はメモリセル毎に分離されるのではなく、メタル配線層2101, 2105, 2109とそれぞれ同じパターンに加工されている。

【0201】

一般に、半導体層はメタルよりも高抵抗であるため、メモリセル毎に分離するよりも、この図24(a), (b)の構造のように、例えばビットラインをなすメタル配線層に沿ってライン状に延びるものとするのが好ましい。これにより、半導体層2451を少なくとも2つ以上のメモリセルで共通化して、実効的に低抵抗化できる。

【0202】

詳しくは、図23(a), (b)に示した構造では、半導体層2353がメモ

リセル毎に分離されているため、メタル配線 2101 からメモリ機能体 2104 へ流れる電流経路は、図 25 (a) 中に矢印で示すように、個々の半導体層 2353 のパターン内に限定される。これに対して図 24 (a), (b) に示した構造では、メタル配線 2101 からメモリ機能体 2104 へ流れる電流経路は、図 25 (b) 中に矢印で示すように、メタル配線 2101 に沿った方向に広がる。したがって、配線実効断面積が増大して低抵抗となる。この結果、メモリの高速動作が可能となる。

【0203】

当然ながら、半導体層 2451 がそのメタル配線層に沿ってライン状に延びていることによる効果は、メモリ機能体 2504 が層方向に一体に連続している場合だけでなく、メモリ機能体 2504 がメモリセル毎に分離されている場合でも同様である。

【0204】

図 26 は第 1 の電極 2601 と第 2 の電極 2602 の間に設けられた上述のメモリ機能体 113 に対して、第 1 の電極 2601 と第 2 の電極 2602 とが対向する方向 V1, V2 に垂直な方向 H1 (これを「層方向」と呼ぶ。) から、第 3 の電極 2603 が隣接している例を示している。つまり、上記第 3 の電極 2603 は、上記第 1 の電極 2601 と第 2 の電極 2602 とが対向する方向において、この第 1 の電極 2601 と第 2 の電極 2602 との間の位置に、上記メモリ機能体 113 に対して電圧が印加可能になっている。第 1 の電極 2601 と第 2 の電極 2602 はメモリ機能体 113 (シリコン酸化膜 101) を厚さ方向 V1, V2 に挟んでいる。これに対して、図 26 (b) の例では、メモリ機能体 113 に対する電極の配置が異なり、第 1 の電極 2611 と第 2 の電極 2612 とが上述のメモリ機能体 113 を層方向 H1, H2 から挟み、メモリ機能体 113 に対して厚さ方向 V1 から第 3 の電極 2613 が隣接している。

【0205】

図 26 (a) の例では、第 2 の電極 2602 を接地し、第 1 の電極 2601 に電圧を印加して、それらの電極 2601, 2602 間に流れる電流を観測した。また、図 26 (b) の例では、第 2 の電極 2612 を接地し、第 1 の電極 2611

1に電圧を印加して、それらの電極2611, 2612間に流れる電流を観測した。いずれの場合も、観測は、第3の電極2603を接地した場合と、第3の電極2603に電圧を印加した場合との両方で行った。

【0206】

第3の電極2603, 2613を接地した条件下では、図26(a)の例と図26(b)の例とでは、電流対電圧(I-V)特性に違いが見られたが、いずれの場合もヒステリシス特性が現れた。第3の電極2603, 2613に電圧を印加した条件下では、いずれの場合も、第3の電極2603, 2613を接地した場合に比してメモリウィンドウ(ヒステリシス)の幅が増大することが分かった。これは、第3の電極2603, 2613に電圧を印加した場合、メモリ機能が向上することを意味する。これにより、記憶状態を読み出すときの読出しエラーが減少して、メモリの信頼性が向上する。

【0207】

図27は、図26(b)に示したタイプの電極配置を持つメモリを、半導体基板の表面に作製する方法を示している。

【0208】

まず、図27(a)に示すように、半導体基板、例えばシリコン基板2700上に、酸化のためのマスクとしてシリコン窒化膜2701を堆積し、このシリコン窒化膜の所定の領域に開口2701aを形成する。そして、図27(b)に示すように、通常の素子分離工程と同様に、開口2701aを通してシリコン基板2700の表面から酸化して、シリコン基板2700の表面近傍領域(メモリ機能体を形成すべき領域)に、絶縁体としてのシリコン酸化膜2712を形成する。

【0209】

次に、図27(c)に示すように、シリコン酸化膜2712に対して半導体または金属のイオン注入を行って、シリコン酸化膜2712中に導電性微粒子2723を形成する。この例では、既述の方法と同様に、シリコン酸化膜2712中に銀を負イオン注入法により導入した。この例では、さらに熱処理を行った。この熱処理は省略することも可能であるが、熱処理を行ったほうが好ましい。熱処

理を行えば、導電性微粒子 2723 の粒径の調整や分布の調整ができ、更に注入欠陥等の回復が可能だからである。このようにして、既述のメモリ機能体 113 と同じ構造を持つメモリ機能体 2715 を形成する。

【0210】

次に、図 27 (d) に示すように、公知の MOS トランジスタのゲート電極を形成するのと同様の方法で、メモリ機能体 2715 上に第 3 の電極としてのゲート電極 2734 を形成する。ここで、シリコン窒化膜 2701 を残したままゲート電極 2734 を形成するのが好ましい。そうすれば、ゲート電極 2734 とメモリ機能体 2715 との位置関係が自己整合的に定まるので、製造ばらつきが軽減するからである。

【0211】

シリコン窒化膜 2701 を剥離した後、図 27 (e) に示すように、ゲート電極 2734 をマスクとして、半導体基板 2700 の表面に不純物をイオン注入して、メモリ機能体 2715 を層方向 (図 7 における左右方向) 両側から挟むように、第 1, 第 2 の電極としてのソース領域 2745、ドレイン領域 2746 を形成する。

【0212】

このようにして、図 26 (b) に示したタイプの電極配置を持つメモリを、半導体基板 2700 の表面に作製することができる。作製されたメモリは、ソース領域 2745 とドレイン領域 2746 との間に所定の電圧を印加した前後で、メモリ機能体 2715 を通して流れる電流の大小が変化して、その電流の大小に応じて記憶状態 (書込状態、消去状態) が判別される。

【0213】

図 28 は、図 26 (b) に示したタイプの電極配置を持つメモリを、半導体基板の表面に作製する別の方法を示している。

【0214】

まず、図 28 (a) に示すように、シリコン基板 2800 上に熱酸化によるシリコン酸化膜 2802 を形成する。続いて、既述の方法と同様に、シリコン酸化膜 2802 中に銀を負イオン注入法により導入して、シリコン酸化膜 2802 中

に導電性微粒子 2803 を含む層状のメモリ機能体 2815 を形成する。続いて、メモリ機能体 2815 上の全域に、第 3 の電極を形成するための物質、例えばポリシリコン 2804 を堆積する。

【0215】

次に、図 28 (b) に示すように、公知の MOS トランジスタのゲート電極をパターン形成するのと同様の方法で、メモリ機能体 2815 上に第 3 の電極としてのゲート電極 2804 (理解の容易のため、上記ポリシリコンのものと同一符号を用いる。) を形成する。

【0216】

次に、図 28 (c) に示すように、酸化を行って、シリコン基板 2800 の表面にシリコン酸化膜 2826 を形成するとともに、ゲート電極 2804 の表面にシリコン酸化膜 2827 を形成する。

【0217】

次に、図 28 (d) に示すように、公知の方法を用いて、メモリ機能体 2815 を層方向 (図 28 における左右方向) 両側から挟むように、第 1, 第 2 の電極としてのポリシリコンサイドウォール 2836, 2837 を形成する。ポリシリコンサイドウォール 2836, 2837 は、シリコン酸化膜 2826, 2827 によって、シリコン基板 2800 とゲート電極 2804 に対して電氣的に絶縁されている。

【0218】

次に、この上に図示しない層間絶縁膜を形成した後、図 28 (e) に示すように、公知のコンタクト工程を実施して、ポリシリコンサイドウォール 2836, 2837 およびゲート電極 2804 の上に、それぞれコンタクト配線 2848, 2849, 2850 を形成する。

【0219】

なお、メモリ機能体 2815 内では、導電性微粒子 2803 はシリコン酸化膜 2802 の厚さ方向に関して、シリコン基板 2800 に近い側に分布させるのが望ましい (図 28 (a) 参照)。この理由は、導電性微粒子 2803 を第 3 の電極 (ゲート電極) 2804 から離れるように形成して、第 1, 第 2 の電極 (ポリ

シリコンサイドウォール) 2 8 3 6, 2 8 3 7 と第 3 の電極 (ゲート電極) 2 8 0 4 との間で無用なメモリ動作が行われなくようにするためである。具体的には、導電性微粒子を形成するためのイオン注入を、注入深さがシリコン酸化膜表面より十分深くなるように実施する方法や、メモリ機能体 2 8 1 5 とゲート電極 2 8 0 4 との間に絶縁体膜を形成する方法などを用いることができる。

【0 2 2 0】

図 2 9 は、上述のメモリ機能体が基板に対して垂直な方向に複数配置されて、3 次元的に集積化されたメモリの構造を示している。図 2 9 (a) は層間絶縁膜を取り除いてメモリを上方から見たときの平面レイアウトを示し、図 2 9 (b) は図 2 9 (a) における B - B' 線矢視断面を示している。図中、メモリ機能体は 2 9 0 4、第 1 の電極は 2 9 0 2、第 2 の電極は 2 9 0 3、第 3 の電極は 2 9 0 5 で表されている。コンタクト配線 2 9 0 7 は、基板に対して垂直な方向に複数配置された第 2 の電極 2 9 0 3, 2 9 0 3, … を電氣的に接続している。

【0 2 2 1】

このメモリは、3 次元的に集積化されているので、大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

【0 2 2 2】

なお、図 2 9 では図示を省略しているが、基板としては、例えば、ガラス基板や、シリコン基板の上層を酸化したもの等を用いることができる。従来の浮遊ゲート型のメモリでは通常の MOS トランジスタを基本にしているため、シリコン基板上に作製するのが一般的であるが、本発明によるメモリは必ずしもシリコン基板上に作製する必要はない。

【0 2 2 3】

次に、図 3 0 および図 3 1 を用いて、図 2 9 に示したタイプの 3 次元立体構造を持つメモリの作製方法を説明する。

【0 2 2 4】

図 3 0 (a) ~ (e) は、上記メモリの作製途中の工程断面を示している。

【0 2 2 5】

まず、図 3 0 (a) に示すように、下地あるいは基板 3 0 0 0 の上にシリコン

酸化膜等の絶縁体膜 3001 と、シリコン膜 3002 を順に積層する。続いて、シリコン膜 3002 上に、酸化のためのマスクとしてシリコン窒化膜 3003 を堆積し、このシリコン窒化膜の所定の領域に開口 3003a を形成する。そして、図 30 (b) に示すように、開口 3003a を通してシリコン膜 3002 の表面から酸化して、シリコン膜 3002 の所定の領域（メモリ機能体を形成すべき領域）に、絶縁体としてのシリコン酸化膜 3018 を形成する。

【0226】

続いて、図示しないマスクを用いて、既述の方法と同様に、シリコン酸化膜 3018 中に銀を負イオン注入法により導入し、さらに熱処理を行って、メモリ機能体 2904 を形成する。なお、シリコン膜 3002 のうち酸化されずに残った領域は第 1 の電極 2902 および第 2 の電極 2903 として用いられる。

【0227】

次に、図 30 (c) に示すように、この上の全域に、第 3 の電極を形成するための物質、例えばポリシリコンを堆積し、公知の MOS トランジスタのゲート電極をパターン形成するのと同様の方法で、メモリ機能体 2904 上に第 3 の電極としてのゲート電極 2905 を形成する。その後、この上の全域に、層間絶縁膜 3026 を形成する。そして、この層間絶縁膜 3026 の表面を CMP（化学的機械的研磨法）などで平坦化しておく。

【0228】

この後、層間絶縁膜 3026 上の全域に、再びシリコン膜 3032 を積層する。そして、上に述べたのと同様の工程を繰り返すことによって、図 30 (d) に示すように、2 層目のメモリ機能体 2904、第 1 の電極 2902、第 2 の電極 2903 および第 3 の電極 2905 を形成する。その後、この上の全域に、層間絶縁膜 3056 を形成する。そして、この層間絶縁膜 3056 の表面を CMP などで平坦化しておく。

【0229】

このようにして、所望の層数まで多層化した後、図 30 (e) に示すように、第 2 の電極 2903、2903、…を基板 3000 に対して垂直な方向に接続するようにコンタクト配線 2907 を形成する。

【0230】

図31(a)～(f)は、作製途中の上記メモリを上から見たときの平面レイアウトを示している。

【0231】

図31(a)に示すように、シリコン膜3002は基板上の全域に形成される。

【0232】

次に、図31(b)に示すように、シリコン膜3102は、第1の電極2902、第2の電極2903となる部分を残して部分的に酸化されて、シリコン酸化膜3018が形成される。第1の電極2902は図31(b)において縦方向にライン状に延びている。一方、第2の電極2903は矩形のパターンを持ち、シリコン酸化膜3018中に個々に孤立している。シリコン酸化膜3018は素子分離の役割も果たす。第2の電極2903は、隣り合う第1の電極2902、2902間の中央に、縦方向に沿って複数配置されている。

【0233】

次に、図31(c)に示すように、メモリ機能体2904は、シリコン酸化膜3018内で第1の電極2902と第2の電極2903との間に挟まれた矩形領域にそれぞれ形成される。このときの断面図が図30(b)に相当する。

【0234】

次に、図31(d)に示すように、第3の電極としてのゲート電極2905が、縦方向に並ぶ複数のメモリ機能体2904上を通るように、縦方向に延びるライン状に形成される。

【0235】

次に、図31(e)に示すように、この上の全域に層間絶縁膜3026が形成される。このときの断面図が図30(c)、図30(d)に相当する。

【0236】

その後、図31(f)に示すように、コンタクト配線2907が第2の電極2903を貫通する位置に形成される。このときの断面図が図30(e)に相当する。

【 0 2 3 7 】

また、この例では、第 1 の電極 2 9 0 2 と第 3 の電極 2 9 0 5 とが配線としていずれも縦方向に延びて平行になっているが、これに限られるものではない。通常の集積回路の作製におけるのと同様に配線を多層にすれば、第 1 の電極 2 9 0 2 のための配線と、第 2 の電極 2 9 0 3 のための配線 2 9 0 7 と、第 3 の電極 2 9 0 5 のための配線とが互いに交差するように形成することが可能である。

【 0 2 3 8 】

例えば図 3 2 (a) は、第 1、第 2、第 3 の電極につながる配線が互いに実質的に垂直になっているメモリの構造を示している。図 3 2 (b) , (c) , (d) はそれぞれ図 3 2 (a) のメモリを B 方向、C 方向、D 方向から見たところを示している。

【 0 2 3 9 】

このメモリでは、メモリ機能体 3 2 0 4 に対して、第 1 の電極 3 2 0 9、第 2 の電極 3 2 0 2、第 3 の電極 3 2 0 5 が図 3 2 (a) においてそれぞれ左方向、右方向、上方向から接している。第 1 の電極 3 2 0 9 には、コンタクト 3 2 1 9 を介して、図 3 2 (a) において奥手前方向に延びる第 1 の配線 1 2 2 9 が電氣的に接続されている。第 2 の電極 3 2 0 2 には、図 3 2 (a) において上下方向に延びる第 2 の配線 3 2 0 7 と電氣的に接続されている。第 3 の電極 3 2 0 5 には、コンタクト 3 2 1 5 を介して、図 3 2 (a) において左右方向に延びる第 3 の配線 3 2 2 5 が電氣的に接続されている。

【 0 2 4 0 】

このように第 1、第 2、第 3 の電極につながる配線を互いに実質的に垂直に配置すれば、さらに大幅な実効占有面積の縮小が可能であり、メモリ容量の増大が可能となる。

【 0 2 4 1 】

図 3 3 (a) は一実施形態の半導体装置 4 6 0 0 の概略平面レイアウトを示している。

【 0 2 4 2 】

この半導体装置 4 6 0 0 は、上述のメモリ（メモリセル）を有するメモリ回路

4601と、ロジック回路を有する周辺回路4602と、上記メモリ回路および周辺回路以外の機能を有する機能回路4603とを、同一の半導体基板上に集積化された態様で備えている。

【0243】

図33(b)は、比較のため、従来の半導体装置4610の概略平面レイアウトを示している。メモリ回路4611には、従来のフローティングゲートを有するフラッシュメモリが集積されている。この従来の半導体装置4610は、上記フラッシュメモリの駆動電圧がロジック回路の駆動電圧よりも高いので、周辺回路4612に昇圧回路や制御回路などが必要になり、また、メモリ回路の高い駆動電圧に耐えるように、周辺回路のトランジスタのゲート酸化膜を厚くする必要があって、周辺回路4612の占有面積が大きくなっていた。したがって、半導体装置の小型化が困難であった。また、メモリ回路4611および周辺回路4612の占有面積が大きいため、他の機能のための機能回路4613の占有面積の割合が小さく制限されていた。

【0244】

これに対して、この半導体装置4600では、本発明によるメモリセルを有するメモリ回路4601が低電圧で動作可能であるので、周辺回路4602と同じ電源電圧で動作可能である。したがって、メモリ回路4601と周辺回路4602との間で電源を共有でき、従来の昇圧回路や制御回路が削除できる。この結果、周辺回路4602の占有面積を小さくできる。また、メモリ回路4601の駆動電圧が低いので、周辺回路4602が含むトランジスタのゲート酸化膜を薄くでき、周辺回路4602の占有面積を小さくできる。さらに、メモリ回路4601は高集積化できるので、メモリ回路4601の占有面積を小さくできる。これらの結果、この半導体装置4601は、従来の半導体装置4610よりも小型にできる。また、メモリ回路および周辺回路以外の機能回路4603のための占有面積を広げることができるので、従来よりも高機能の半導体装置を構成できる。

【0245】

あるいは、この半導体装置4600に従来の半導体装置4610と同じ占有面

積を許せば、従来よりも多くのメモリセルを集積して、半導体装置の記憶容量を増大できる。これによって、大規模なプログラムを一時的に読み込み、電源を切断した後もそのプログラムを保持し、電源を再投入した後もプログラムを実行するといったことが可能となり、かつ、そのプログラムを他のプログラムと入れ替えることもできる。

【0 2 4 6】

図 3 4 は、本発明による電子機器の一例として、上述の半導体装置を備えた携帯電話機 4 7 0 0 の構成を模式的に示している。

【0 2 4 7】

この携帯電話機 4 7 0 0 は、本体 4 7 1 0 に、アンテナ部 4 7 1 5 と、R F 回路部 4 7 1 3 と、表示部 4 7 1 4 と、半導体装置としての制御回路 4 7 1 1 と、これらの各構成要素に電力を供給するための電池 4 7 1 2 とを搭載している。4 7 1 6 は信号線、4 7 1 7 は電源線である。

【0 2 4 8】

制御回路 4 7 1 1 は、本発明のメモリを有するメモリ回路とロジック回路とを混載した L S I （大規模集積回路）であり、R F 回路部 4 7 1 3 と表示部 4 7 1 4 を制御している。制御回路 4 7 1 1 は、本発明による半導体装置が組み込まれているので、この携帯電話機を高機能化でき、また、消費電力を低減して、電池寿命を大幅に延長することができる。

【0 2 4 9】

なお、本実施形態では、電子機器の一例として携帯電話機を構成したが、携帯情報端末やゲーム機器など他の電子機器を構成しても同様の効果を発揮することが可能である。

【0 2 5 0】

なお、上述の実施形態では、第 1 の絶縁体である上記絶縁体 1 0 1 の材料として、シリコン酸化物を用いたが、シリコン窒化物、酸化アルミニウム、酸化チタン、酸化ジルコニウム、酸化ハフニウム等を用いることもできる。更には、本発明の一実施形態のように、微粒子表面を絶縁体で覆っている場合には、必ずしも絶縁性物質で形成する必要はない。

【0251】

また、導電性微粒子を構成する材料として銀を用いたが、上記微粒子103を構成する材料としては、銅、アルミニウム、錫、ニッケル、亜鉛、ハフニウム、ジルコニウム、マンガン、タンタル、チタン、タングステン、インジウム、ガリウム、など他の金属を用いることもできる。また、シリコン、ゲルマニウム等の半導体や化合物半導体を用いることも可能であり、または合金やその他の化合物を用いることも可能である。また磁性体であっても用いることが可能である。ただし単体元素であるほうが、注入が容易であるので好ましい。また、上記微粒子表面を覆う絶縁体としては、上記微粒子を構成する物質の酸化物や窒化物などの化合物のうちで絶縁性の良いものなら何であってもかまわない。

【0252】

また、第2の電極112としてシリコン基板を用いたが、シリコン以外の半導体または金属材料からなる基板を用いても良い。また、ガラス基板などの絶縁体材料からなる基板上に、CVD（化学気相成長法）や蒸着、MBE（分子線エピタキシ法）などによって導電層を形成し、その導電層を第2の電極として用いても良い。

【0253】

上記整流機能体を構成する半導体層は、エピタキシャル成長やポリシリコン堆積で形成でき、また、CGS（連続粒界シリコン）などを用いることができる。ただし、比較的低温での形成が可能なポリシリコンやCGSを用いるのが好ましい。より好ましくは結晶性のよいCGSを用いた方が、整流性能が向上し信頼性に優れる。CGSは特開平8-78329号公報などに記載の作製方法によって低温で作製可能なシリコンであり、他の低温で作成可能なアモルファスシリコンやCGS以外の低温ポリシリコンなどに比べて結晶性が良く高移動度が得られるなどの利点を有する。

【0254】

【発明の効果】

以上より明らかなように、本発明の抵抗変化機能体によれば、第1の電極と第2の電極との間の電気抵抗を、常温で、比較的低電圧で電氣的に制御して変化さ

せることができる。したがって、実用性のある抵抗変化機能体が提供される。

【0 2 5 5】

また、本発明のメモリによれば、メモリ機能体を通して流れる電流の大小を、常温で、比較的低電圧で電氣的に制御して変化させることができる。したがって、実用性のあるメモリが提供される。

【0 2 5 6】

また、この発明のメモリの製造方法によれば、そのようなメモリを生産性良く作製できる。

【0 2 5 7】

また、この発明のメモリを含む半導体装置は、高集積化、低消費電力化が可能になる。

【0 2 5 8】

また、そのような半導体装置を備えた電子機器は、小型化、低消費電力化が可能になり、携帯の用途に適する。

【図面の簡単な説明】

【図 1】 本発明の一実施形態の抵抗変化機能体の断面を模式的に示す図である。

【図 2】 図 2 (a) 乃至 (d) は、図 1 の抵抗変化機能体の作製工程を説明するための図であり、図 2 (e) は、図 2 (d) の一部の拡大図である。

【図 3】 図 1 の抵抗変化機能体の電流対電圧 ($I - V$) 特性を測定した結果を示す図である。

【図 4】 図 1 の抵抗変化機能体を用いて形成したメモリを示す図である。

【図 5】 図 4 のメモリのメモリ動作を説明するための図である。

【図 6】 図 6 (a) はメモリ機能体と選択トランジスタを含むメモリセルを模式的に示す図であり、図 6 (b) ~ 図 6 (d) はそれぞれその具体的な構成を示す図である。

【図 7】 上述のメモリ機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

【図 8】 上述のメモリ機能体と選択トランジスタとを含むメモリセルを行

列状に備えたメモリの回路構成を例示する図である。

【図 9】 図 9 (a) は上述のメモリ機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの断面構造を示す図であり、図 9 (b) は、図 9 (a) のメモリ機能体のうち実質的なメモリ動作をする個所を示した図である。

【図 10】 図 10 (a) , 図 10 (b) は、それぞれ上述のメモリ機能体と選択トランジスタとを含むメモリセルの断面構造を示す図であり、図 10 (c) は、図 10 (a) のメモリ機能体のうち実質的なメモリ動作をする個所を示した図である。

【図 11】 上述のメモリ機能体と整流機能体とを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

【図 12】 図 12 (a) は上述のメモリ機能体と P N 接合からなる整流機能体とを含むメモリセルを模式的に示す図であり、図 12 (b) ~ 図 12 (e) はそれぞれその具体的な構成を示す図である。

【図 13】 図 13 (a) は、各メモリセルにメモリ機能体と P N 接合からなる整流機能体とを含み、かつ隣り合う 2 つのメモリセルで構成要素を共有したときの構造を模式的に示す図であり、図 13 (b) ~ 図 13 (d) はそれぞれその具体的な構成を示す図である。

【図 14】 上述のメモリ機能体と整流機能体と選択トランジスタとを含むメモリセルを行列状に備えたメモリの回路構成を例示する図である。

【図 15】 図 15 (a) は上述のメモリ機能体とショットキー接合からなる整流機能体とを含むメモリセルを模式的に示す図であり、図 15 (b) ~ 図 15 (e) はそれぞれその具体的な構成を示す図である。

【図 16】 図 16 (a) は、各メモリセルにメモリ機能体とショットキー接合からなる整流機能体とを含み、かつ隣り合う 2 つのメモリセルで構成要素を共有したときの構造を模式的に示す図であり、図 16 (b) ~ 図 16 (d) はそれぞれその具体的な構成を示す図である。

【図 17】 図 17 (a) は上述のメモリ機能体が基板に対して垂直な方向に複数配置されているメモリの 3 次元立体構造を示す図であり、図 17 (b) は

図 17 (a) 中の構成要素の電氣的接続を示す図である。

【図 18】 図 18 (a) は上述のメモリ機能体と整流機能体とが基板に対して垂直な方向に複数配置されているメモリの 3 次元立体構造を示す図であり、図 18 (b) は図 18 (a) 中の構成要素の電氣的接続を示す図である。図 18 (c) は図 18 (a) の構造の変形例を示す図であり、図 18 (d) は図 18 (c) 中の構成要素の電氣的接続を示す図である。

【図 19】 図 18 (a) に示したタイプの 3 次元立体構造を持つメモリの作製方法を説明するための図である。

【図 20】 図 20 (a), (b) はそれぞれメモリ機能体層内のメモリ動作をする領域を説明するための図である。

【図 21】 3 次元立体構造を持つメモリのメモリ機能体層を、層方向に一体に連続した状態に形成する作製方法を説明するための図である。

【図 22】 図 22 (a), (b) は図 21 (e), (j) に示した構造の変形例を示す図である。

【図 23】 図 23 (a), (b) は図 21 (e), (j) に示した構造の別の変形例を示す図である。

【図 24】 図 24 (a), (b) は図 23 (a), (b) に示した構造の変形例を示す図である。

【図 25】 図 25 (a) は図 23 (a), (b) に示した構造の電流経路を示す図であり、図 25 (b) は図 24 (a), (b) に示した構造の電流経路を示す図である。

【図 26】 図 26 (a) は本発明の一実施形態のメモリの概略断面を示す図であり、図 26 (b) は図 26 (a) のものと電極の配置が異なる例を示す図である。

【図 27】 図 26 (b) のタイプの電極配置を持つメモリの作製方法を説明するための図である。

【図 28】 図 26 (b) のタイプの電極配置を持つメモリの他の作製方法を説明するための図である。

【図 29】 図 29 (a) は 3 次元的に集積化されたメモリの平面レイアウト

トを示す図であり、図 29 (b) は図 29 (a) における B-B' 線矢視断面図である。

【図 30】 図 29 のメモリの作製工程における断面を示す図である。

【図 31】 図 29 のメモリの作製工程における平面レイアウトを示す図である。

【図 32】 図 32 (a) は、第 1、第 2、第 3 の電極につながる配線が互いに実質的に垂直になっているメモリの構造を示す図であり、図 32 (b), (c), (d) はそれぞれ図 32 (a) のメモリを B 方向、C 方向、D 方向から見たところを示す図である。

【図 33】 図 33 (a) はこの発明の一実施形態の半導体装置の平面レイアウトを示す図であり、図 33 (b) は従来の半導体装置の平面レイアウトを示す図である。

【図 34】 この発明の電子機器の一例としての携帯電話機を示す図である。

【図 35】 従来のメモリを示す図である。

【符号の説明】

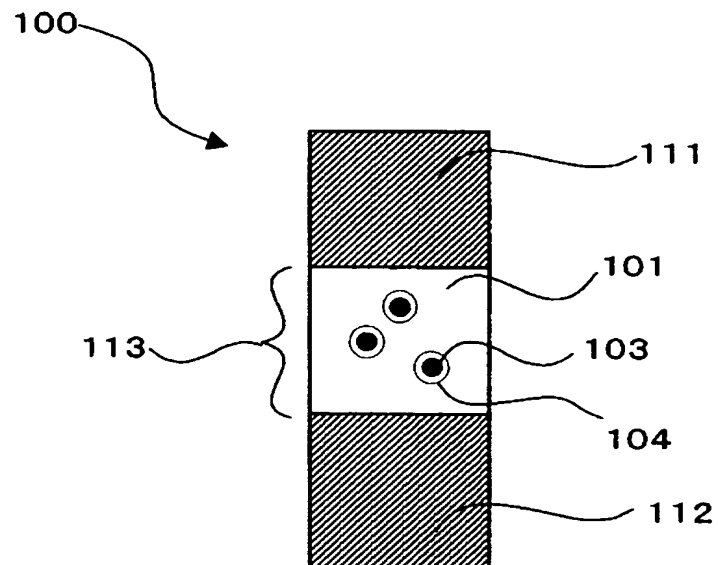
- 101 絶縁体 (シリコン酸化膜)
- 102 導電性微粒子 (銀微粒子)
- 111 第 1 の電極
- 112 第 2 の電極
- 113, 604, 904, 1004, 1014, 1204, 1334, 1504, 1634, 1720, 1810, 1903, 1926, 1949, 2001, 2011, 2104, 2108, 2112 メモリ機能体
- 114 単位領域
- 121 第 1 の微粒子
- 122 第 2 の微粒子
- 123 第 3 の微粒子
- 124 第 4 の微粒子
- 300 基板

6 0 1, 選択トランジスタ

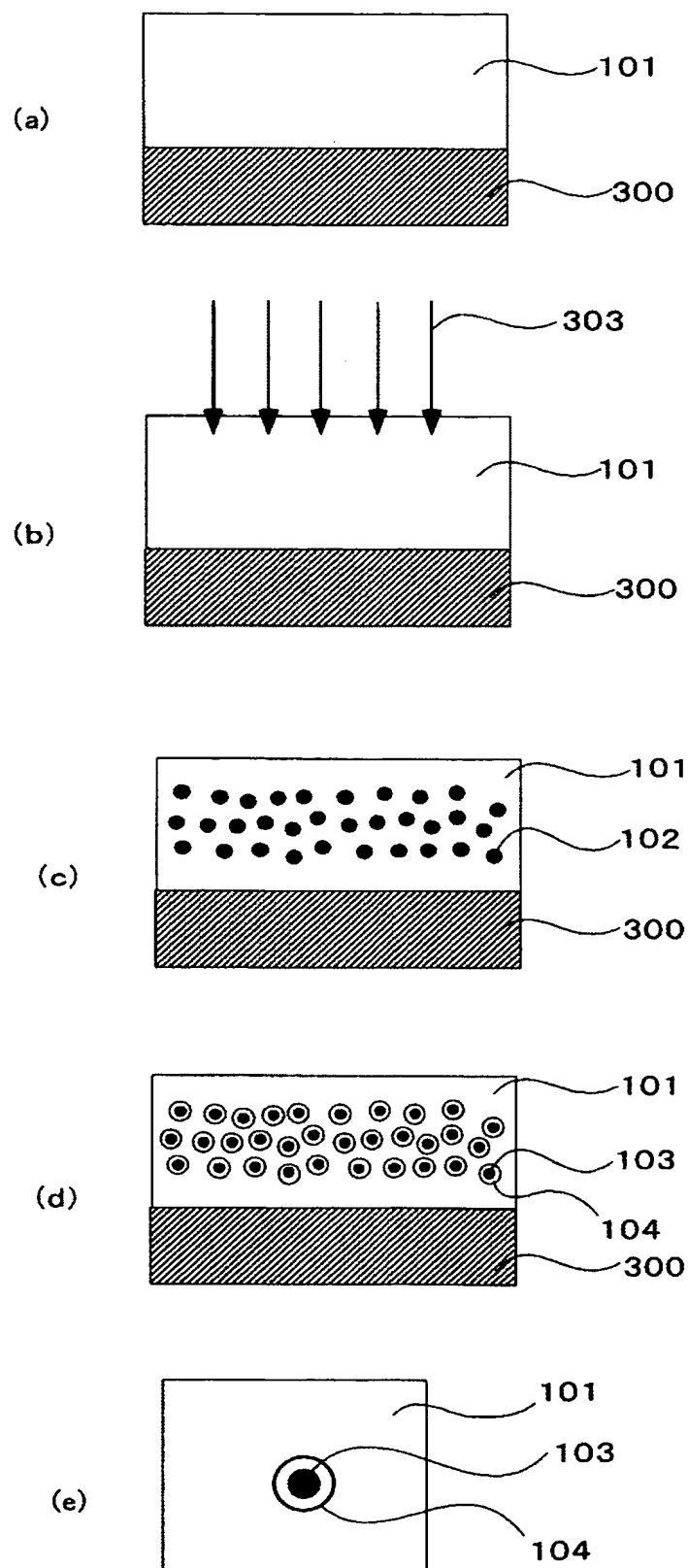
1 2 0 1, 1 5 0 1, 1 6 0 1 整流機能体

【書類名】 図面

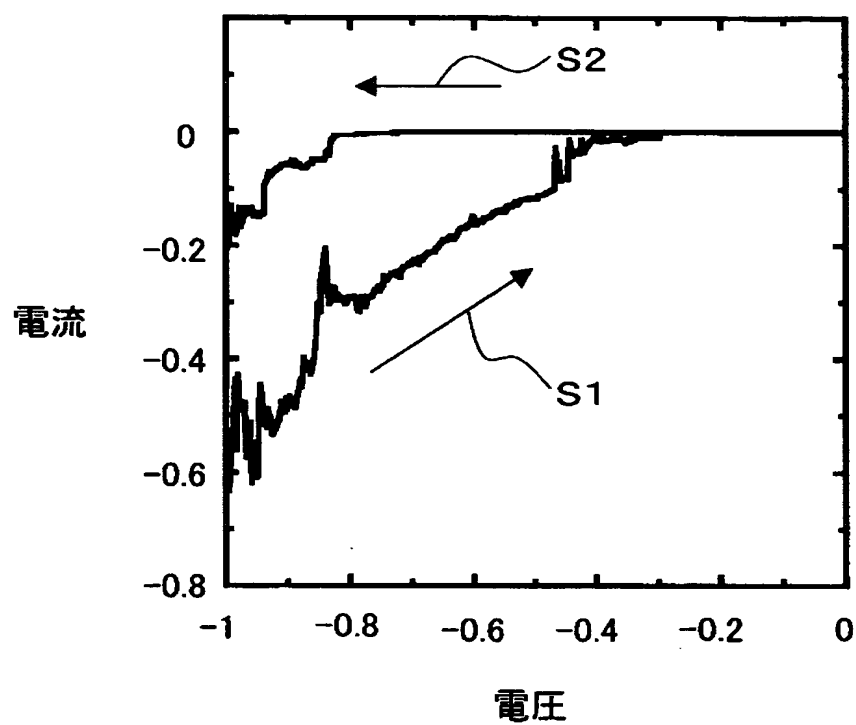
【図 1】



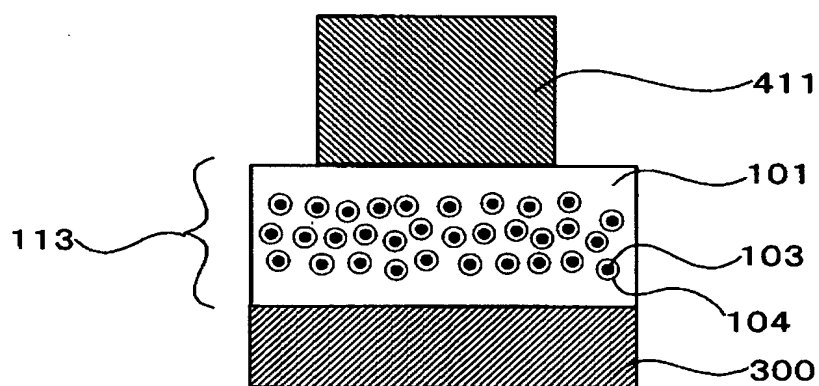
【図 2】



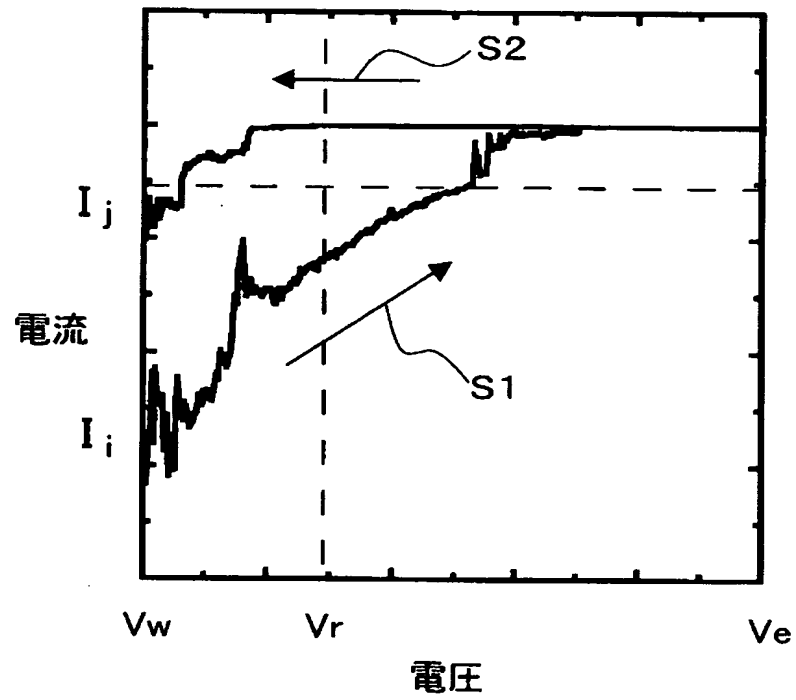
【図 3】



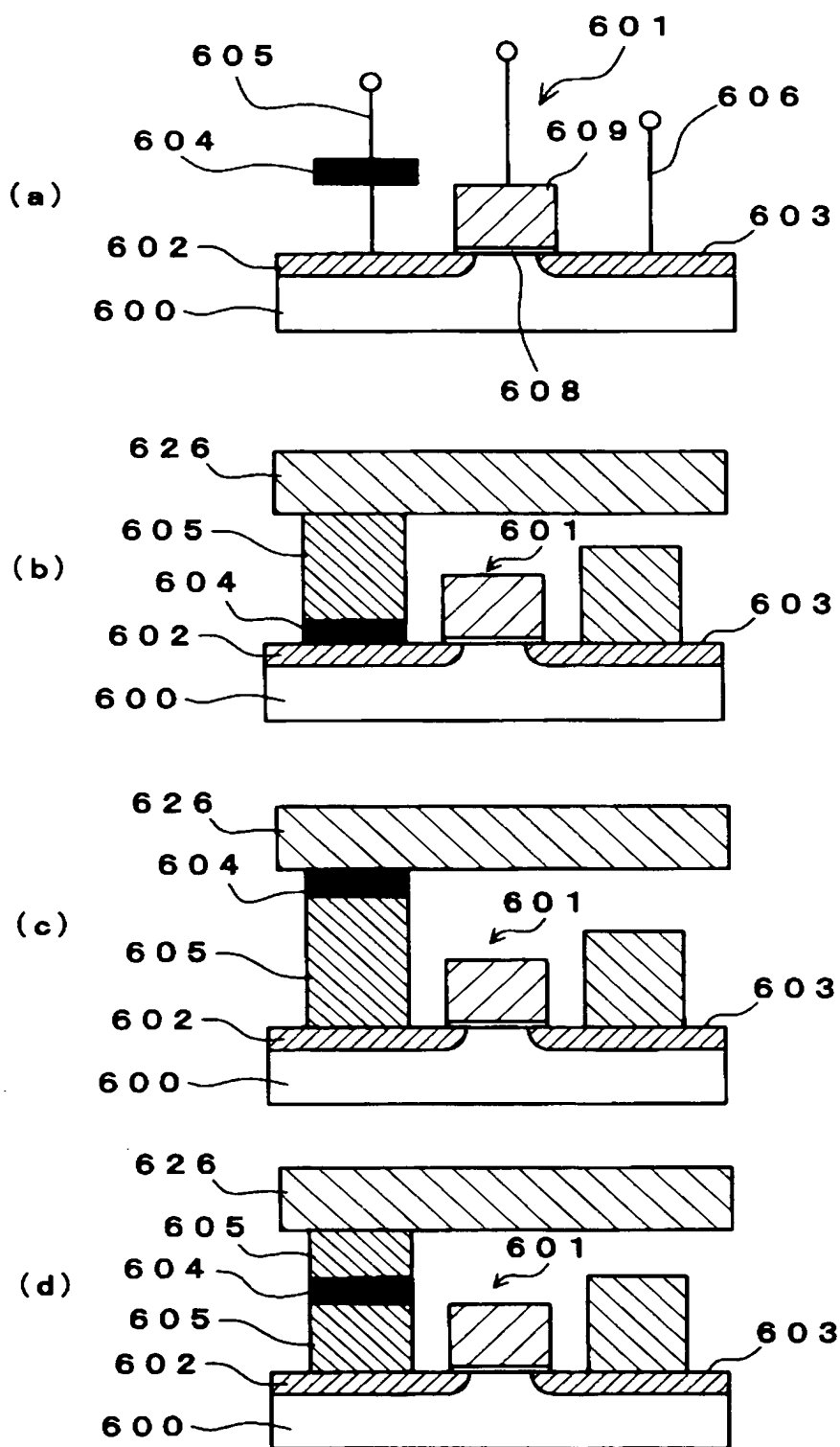
【図 4】



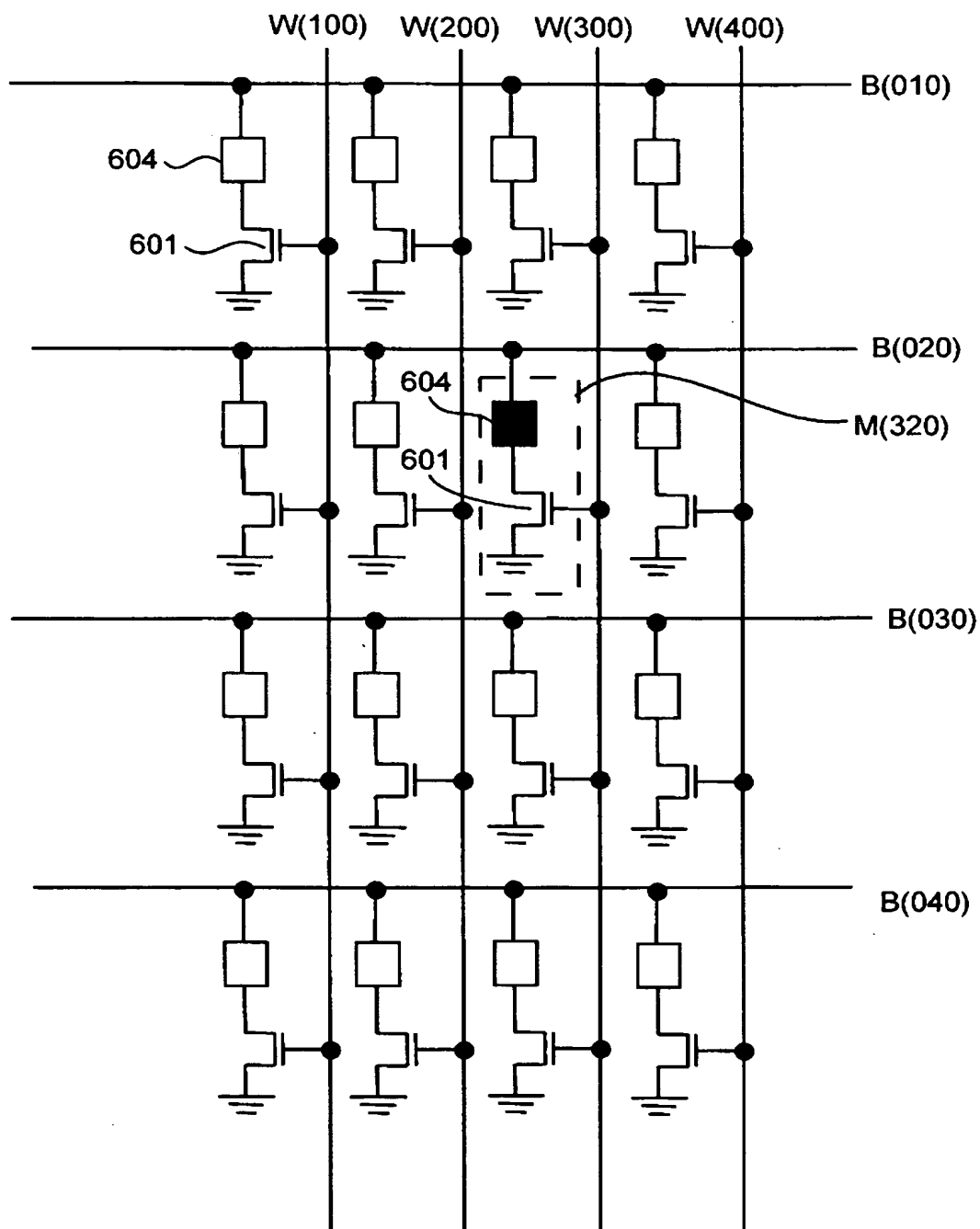
【図 5】



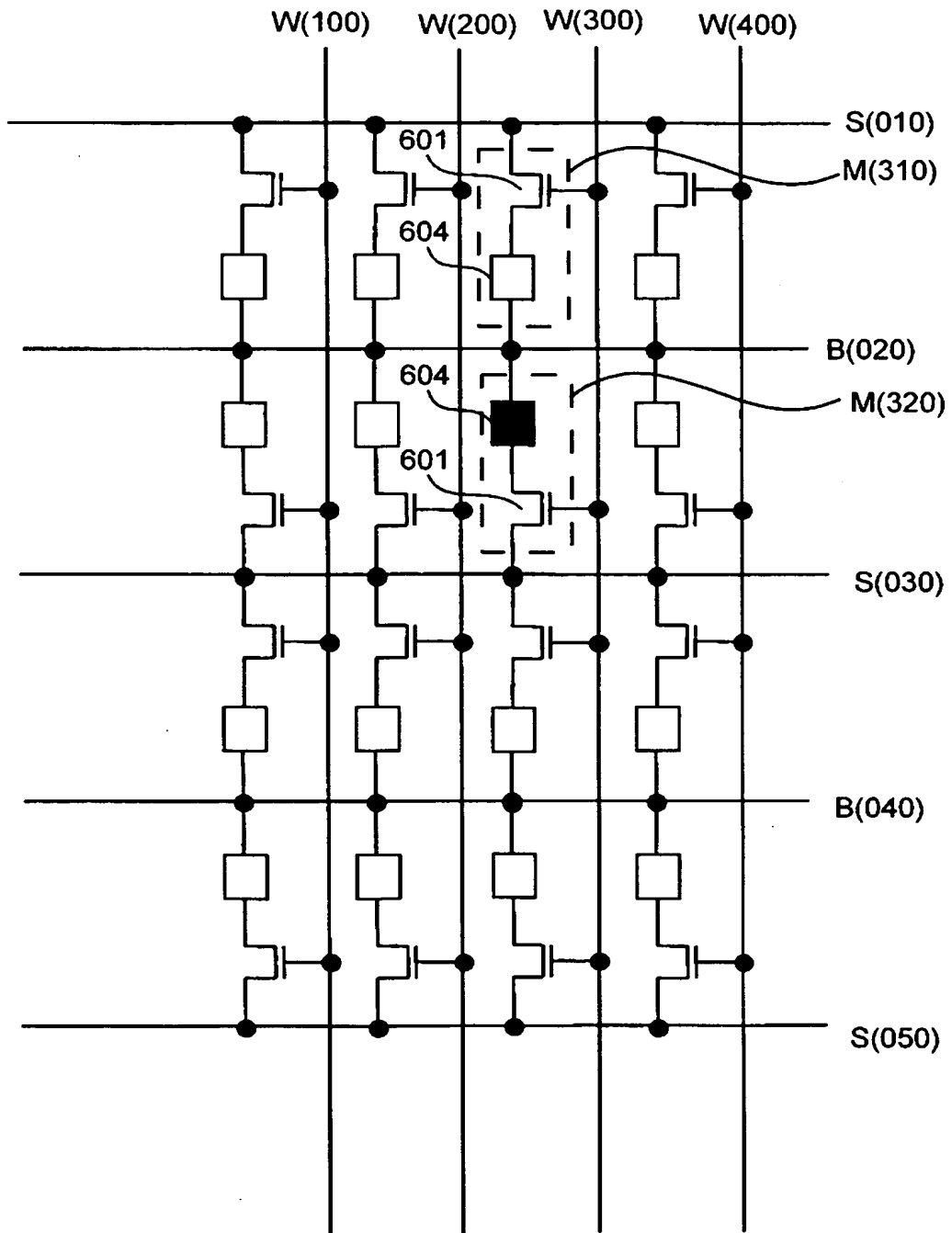
【図 6】



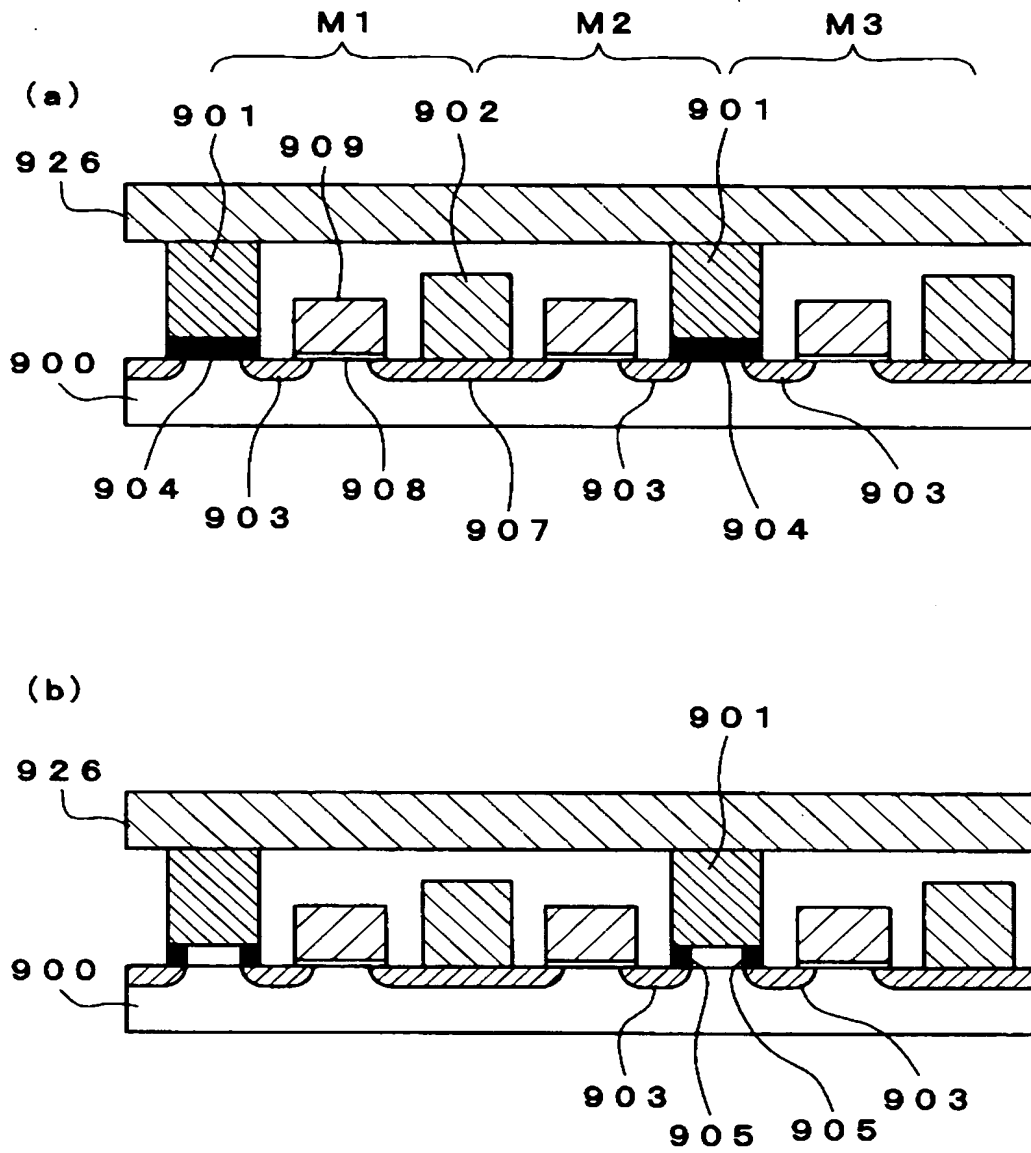
【図 7】



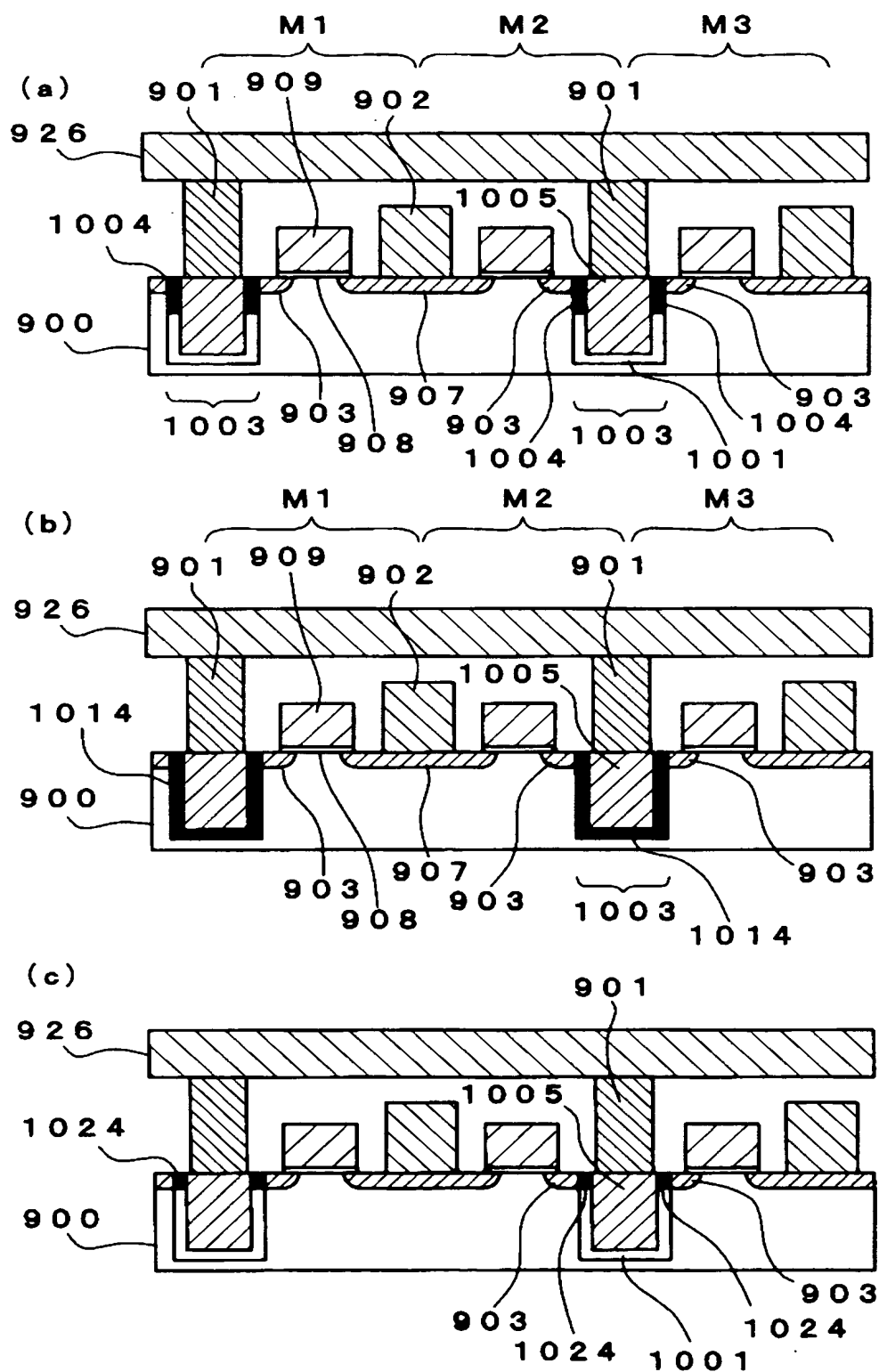
【図 8】



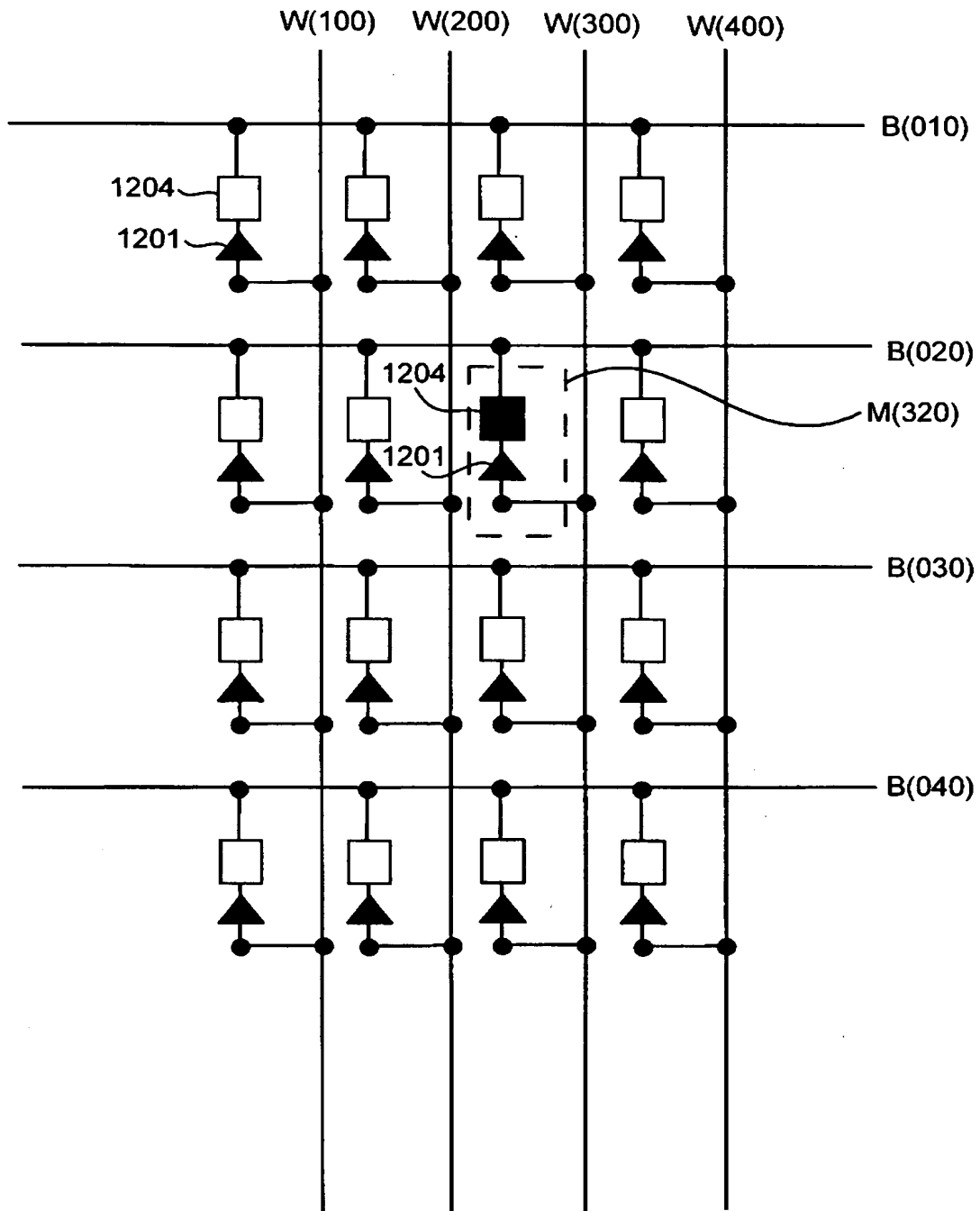
【図 9】



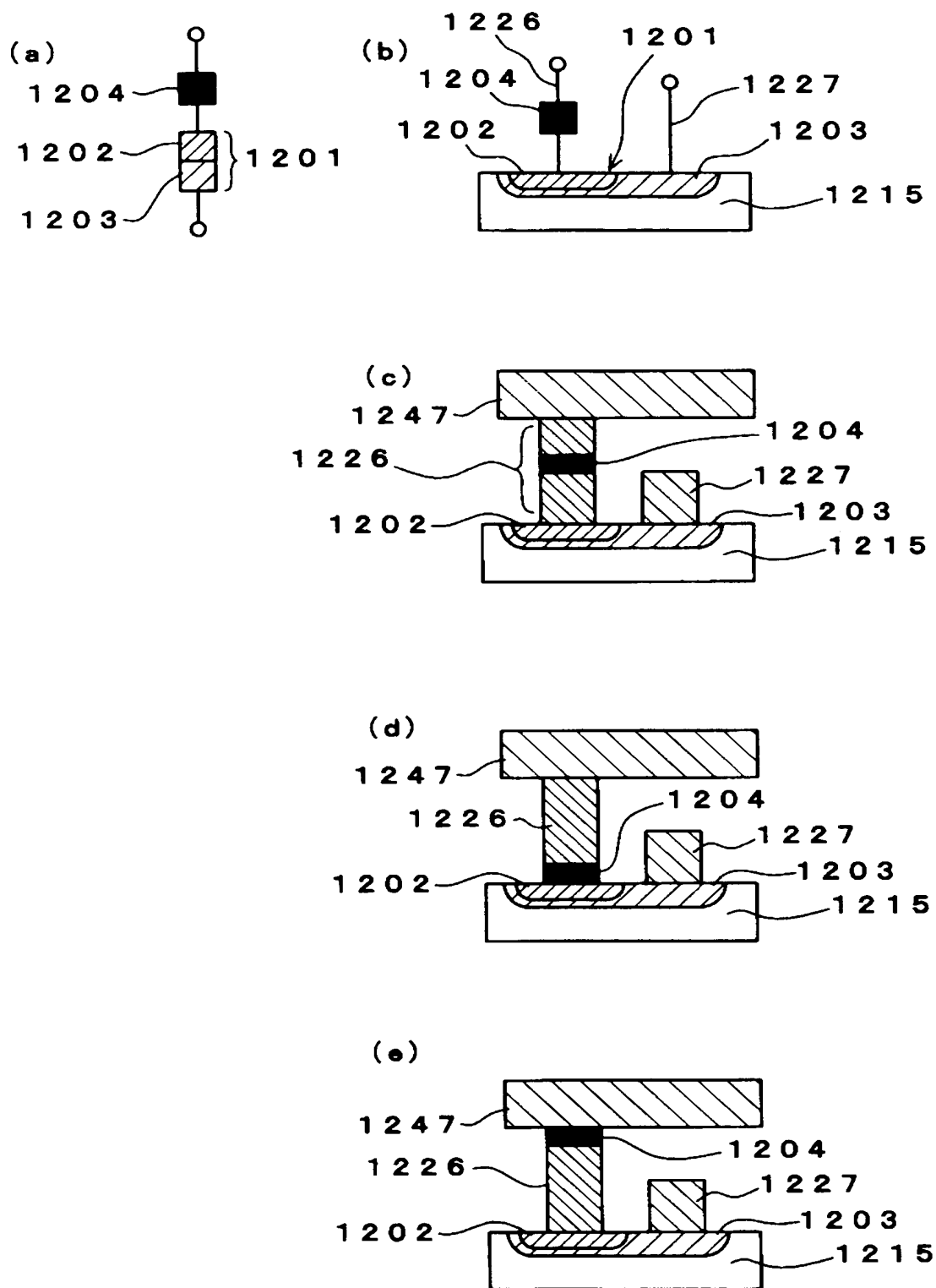
【図 10】



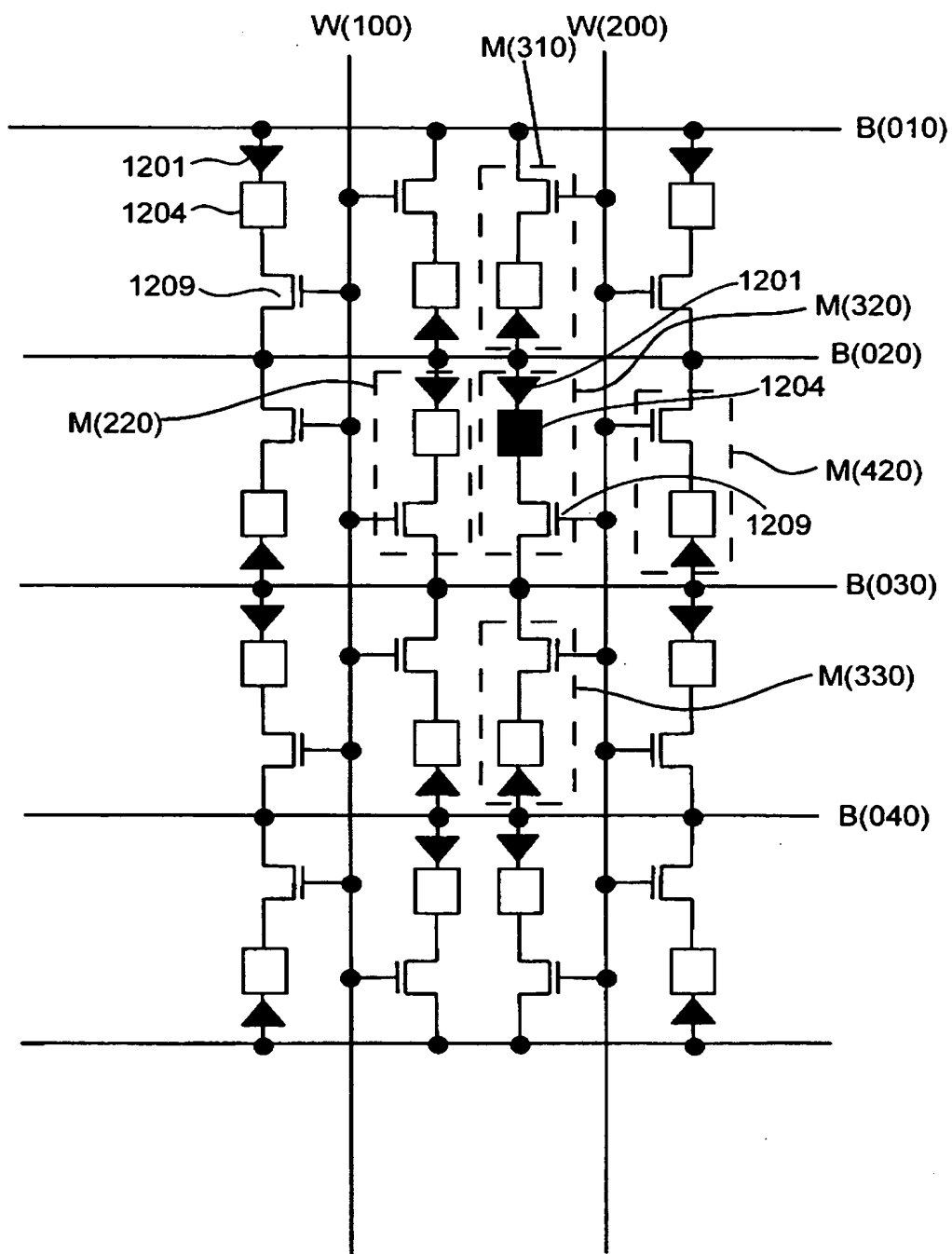
【図 11】



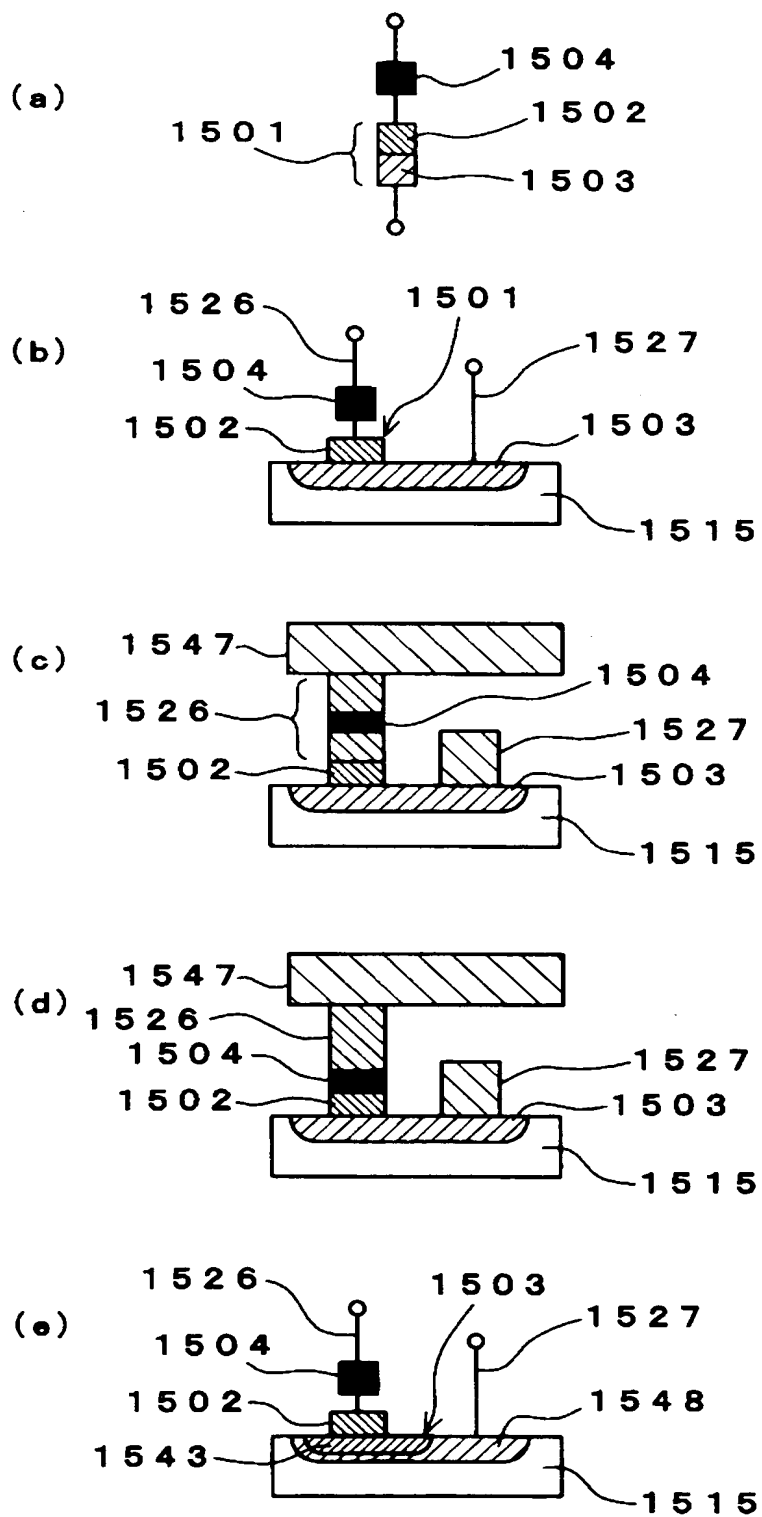
【図 12】



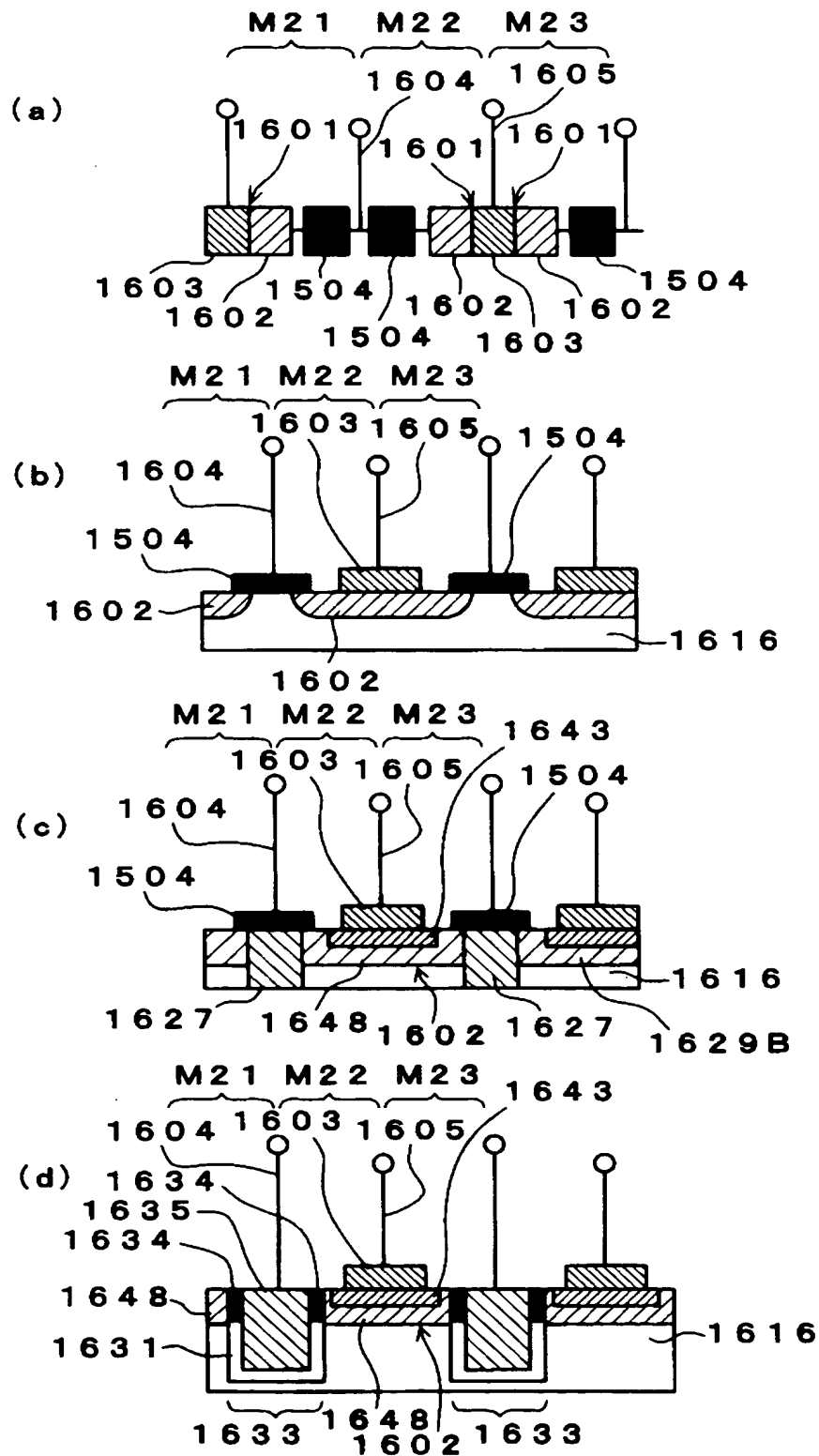
【図 14】



【図 15】

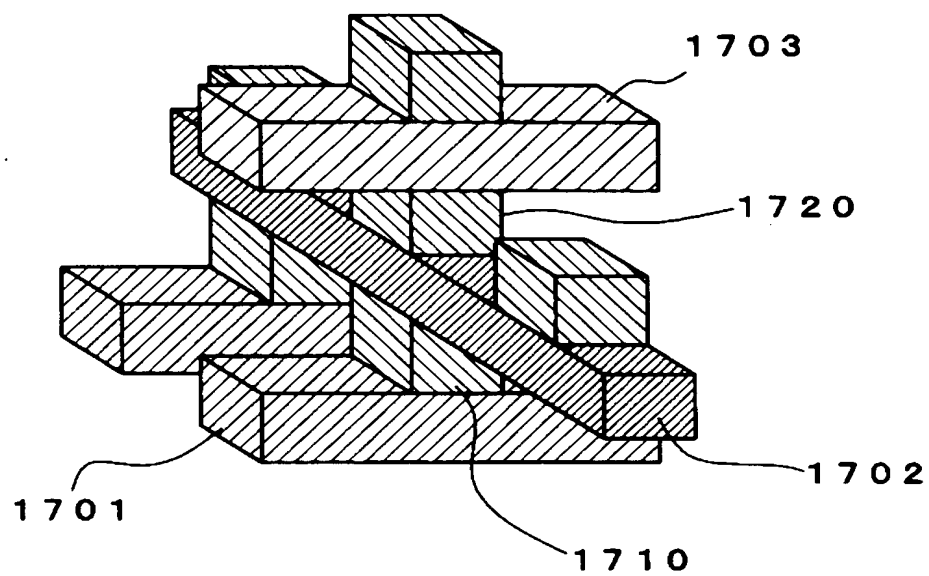


【図 16】

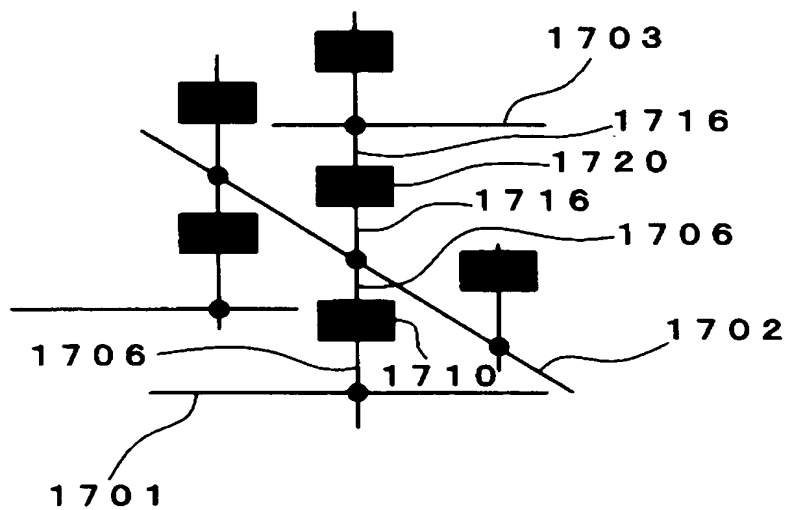


【図 17】

(a)

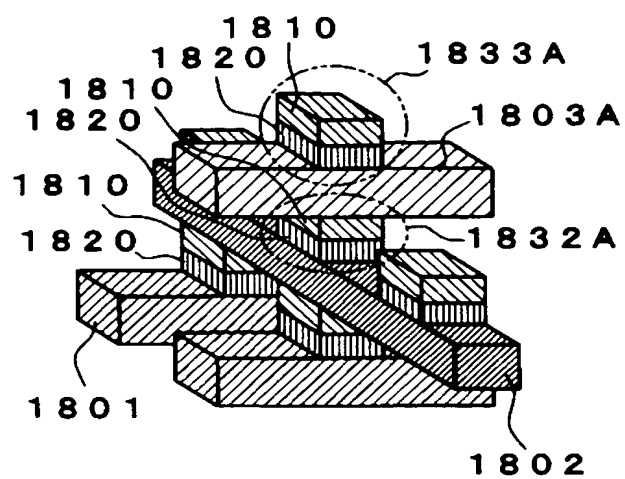


(b)

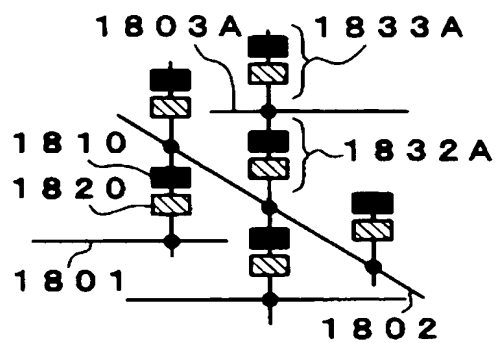


【図 18】

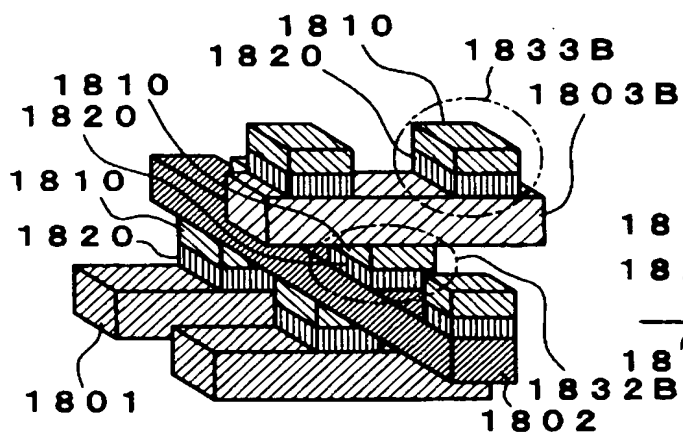
(a)



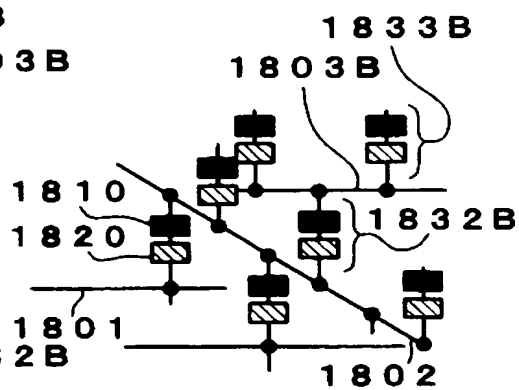
(c)



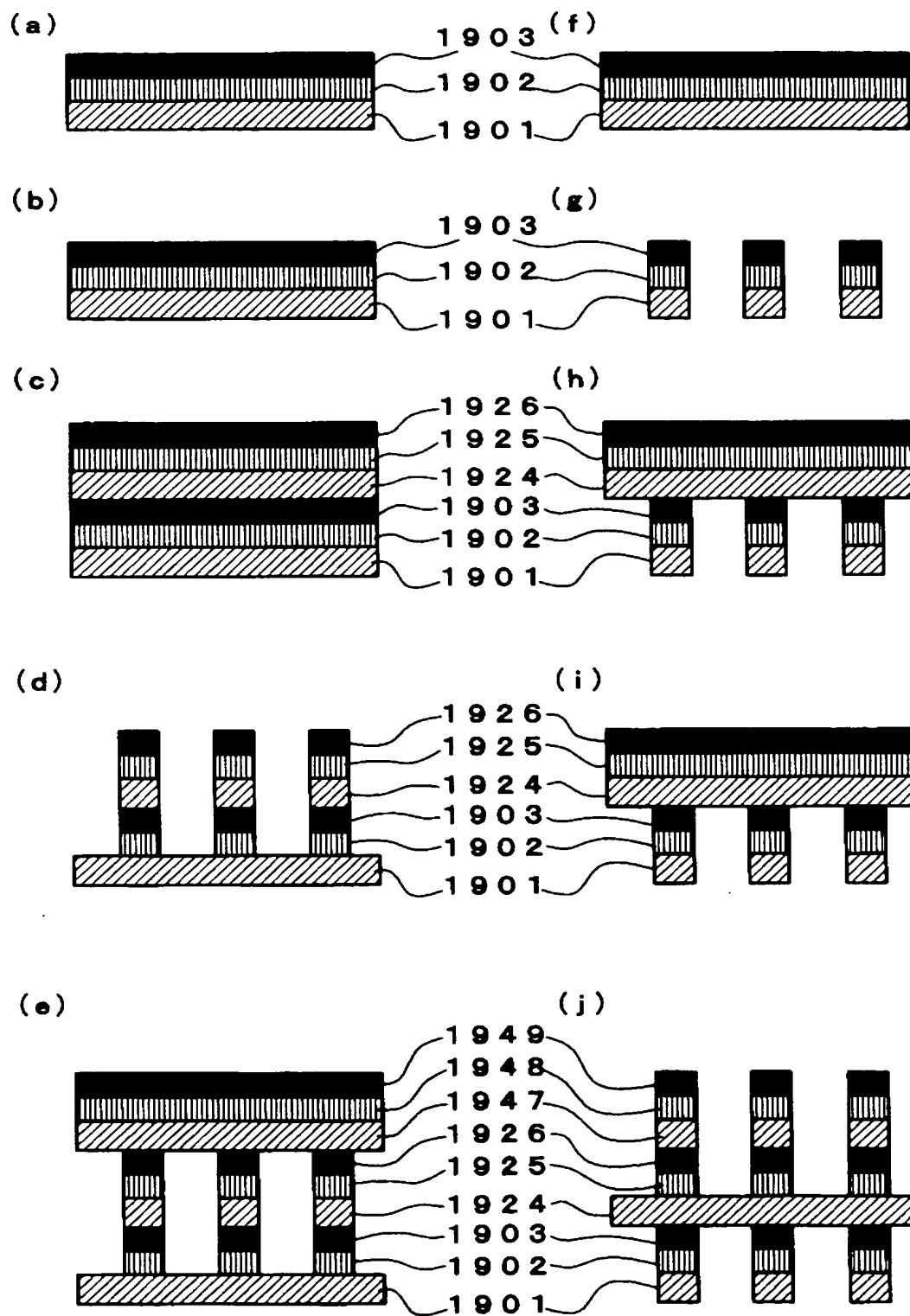
(b)



(d)

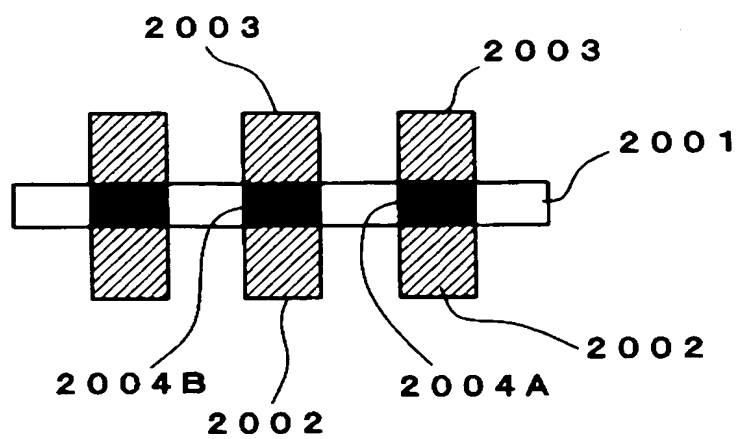


【図 19】

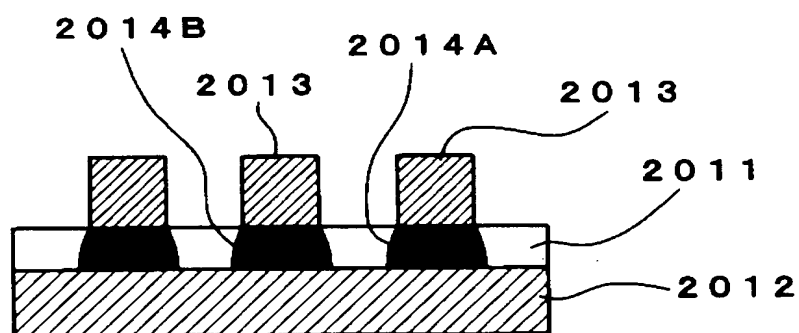


【図 20】

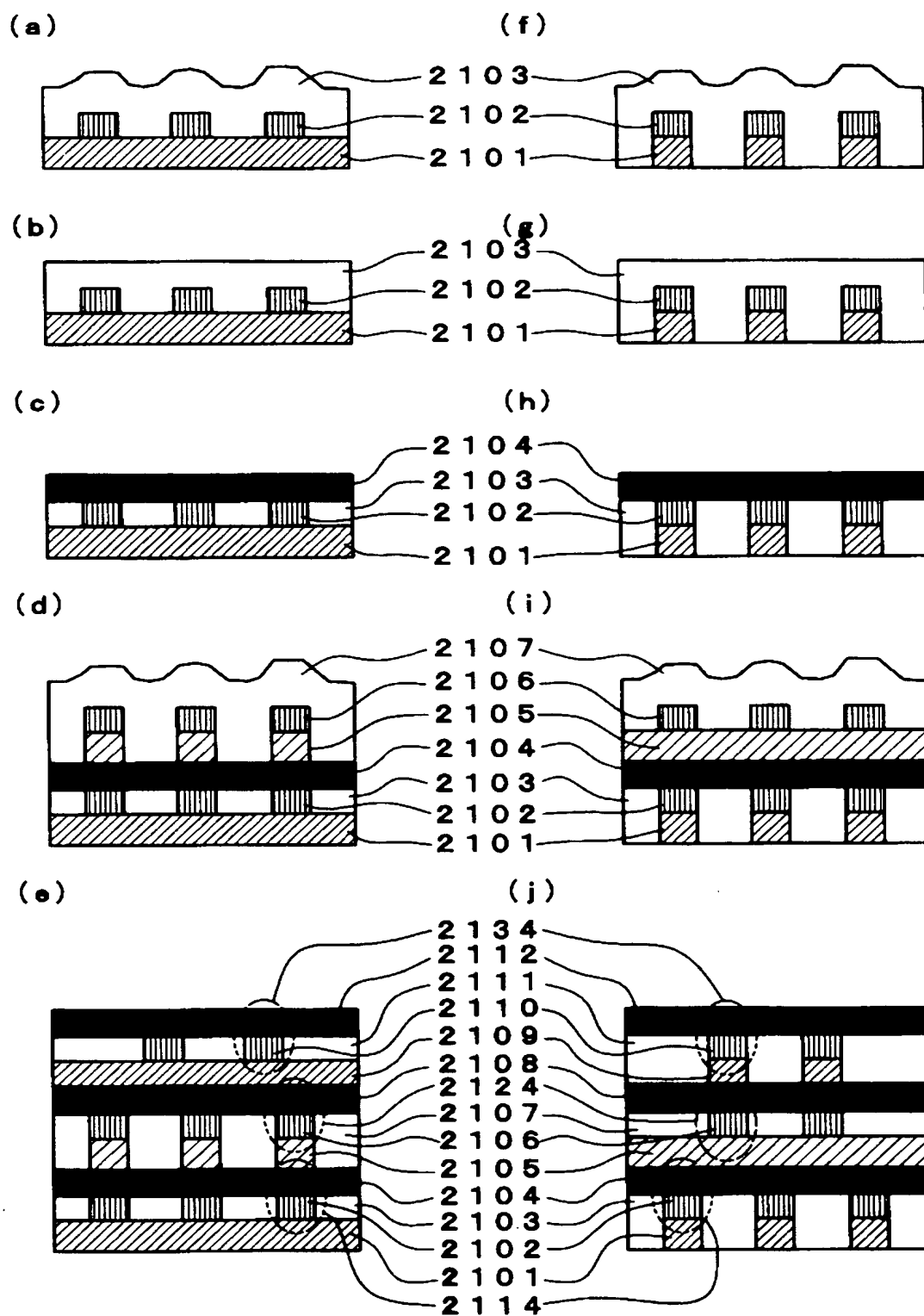
(a)



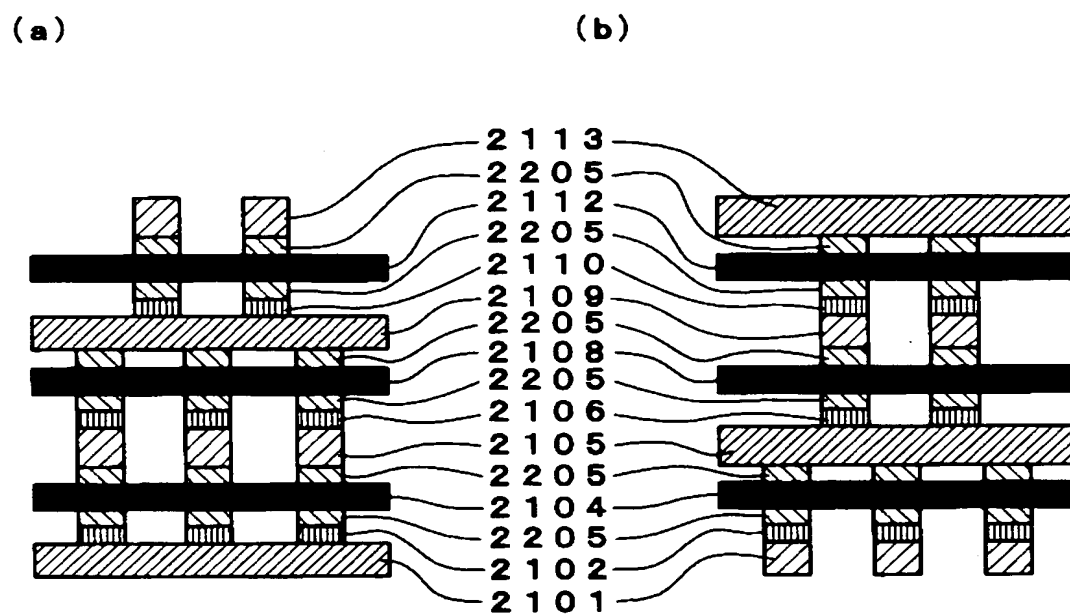
(b)



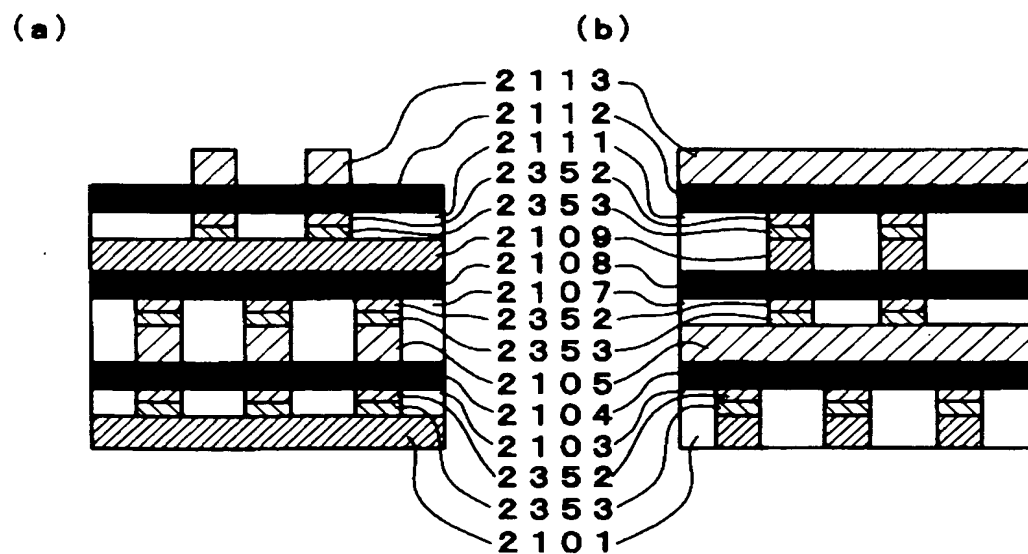
【図 21】



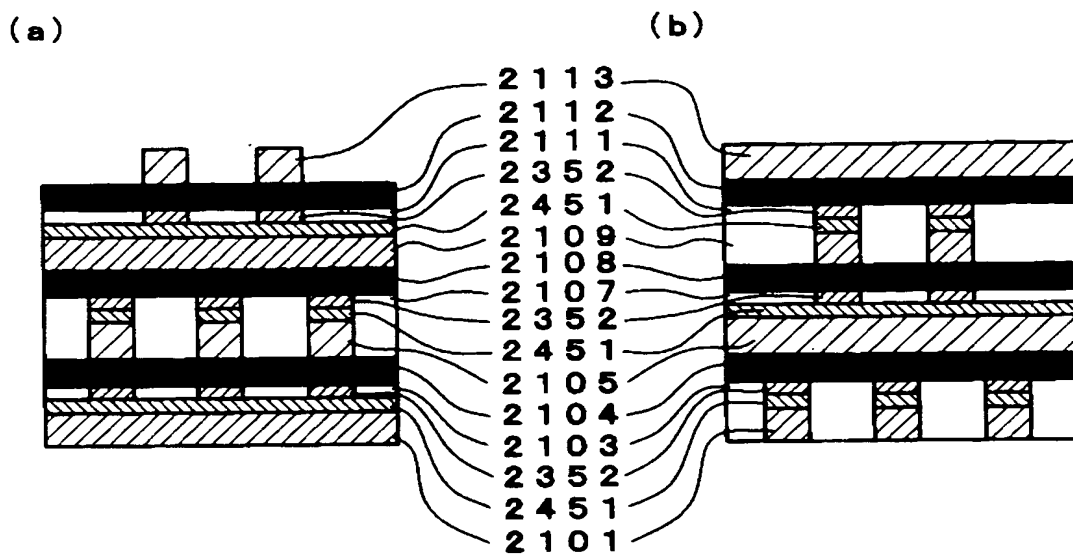
【図 22】



【図 23】

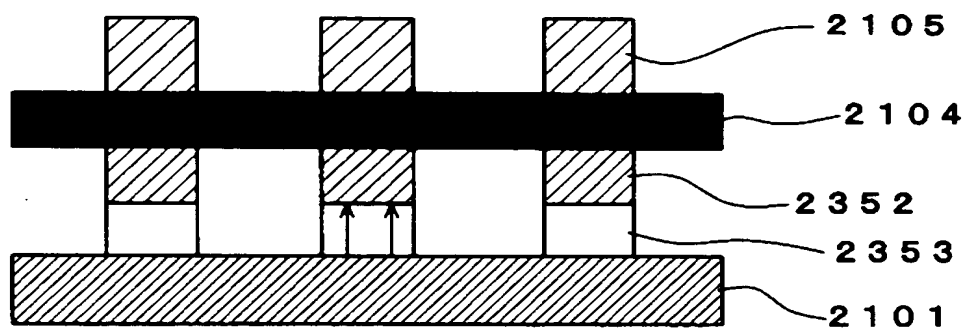


【図 24】

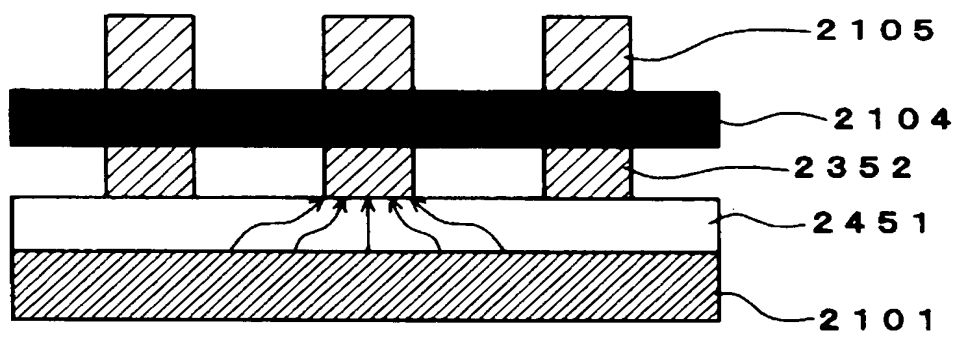


【図 25】

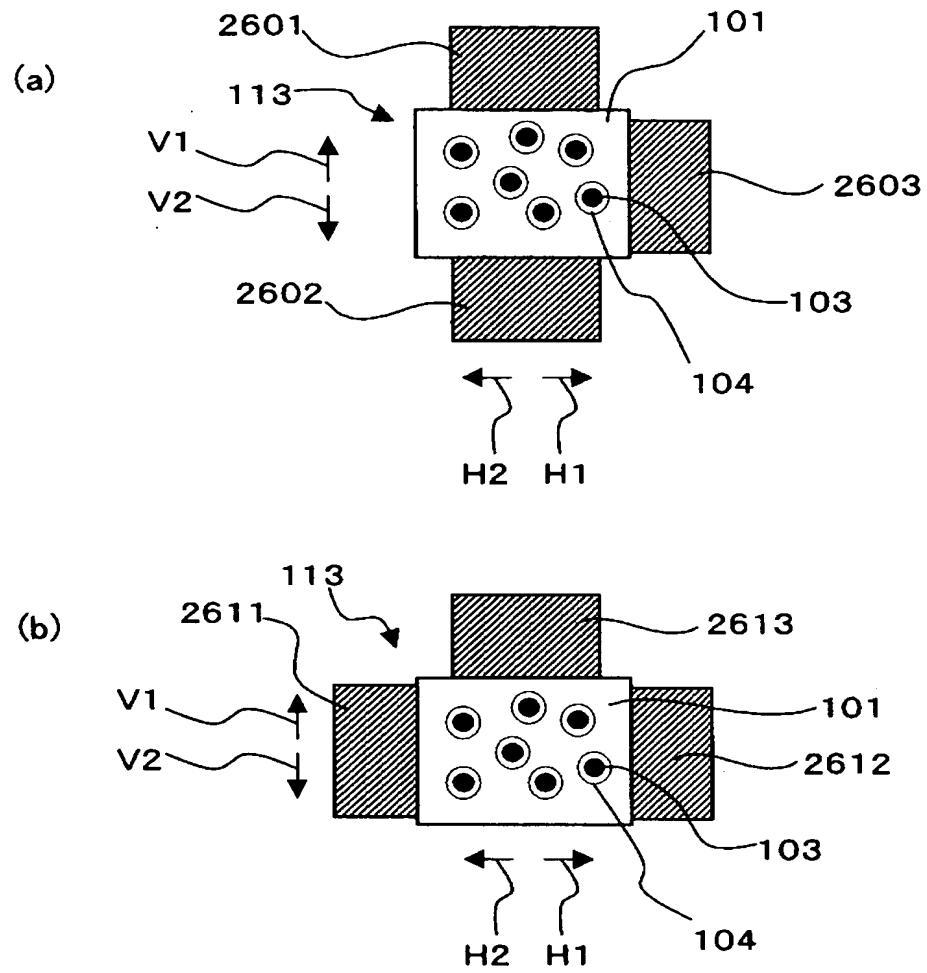
(a)



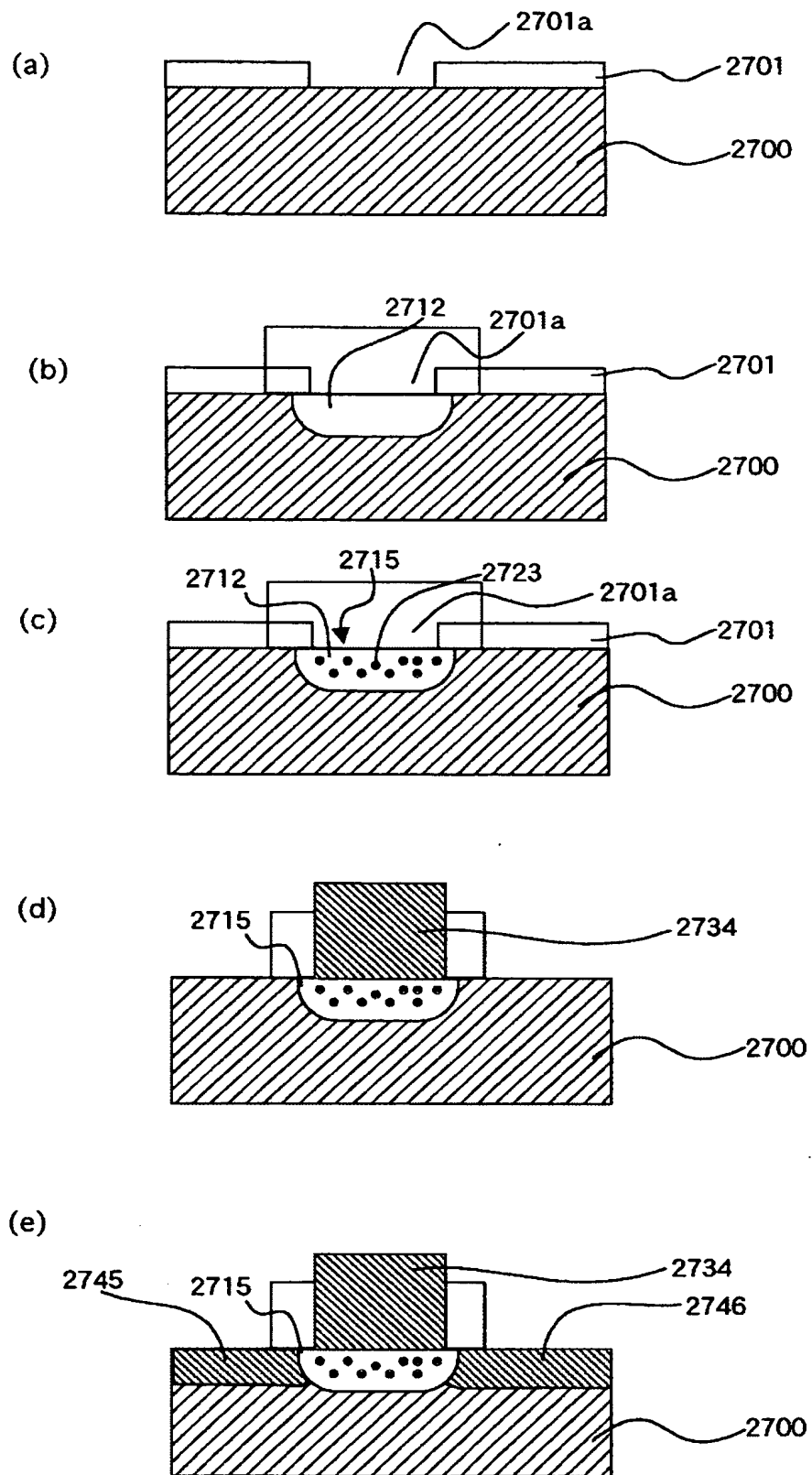
(b)



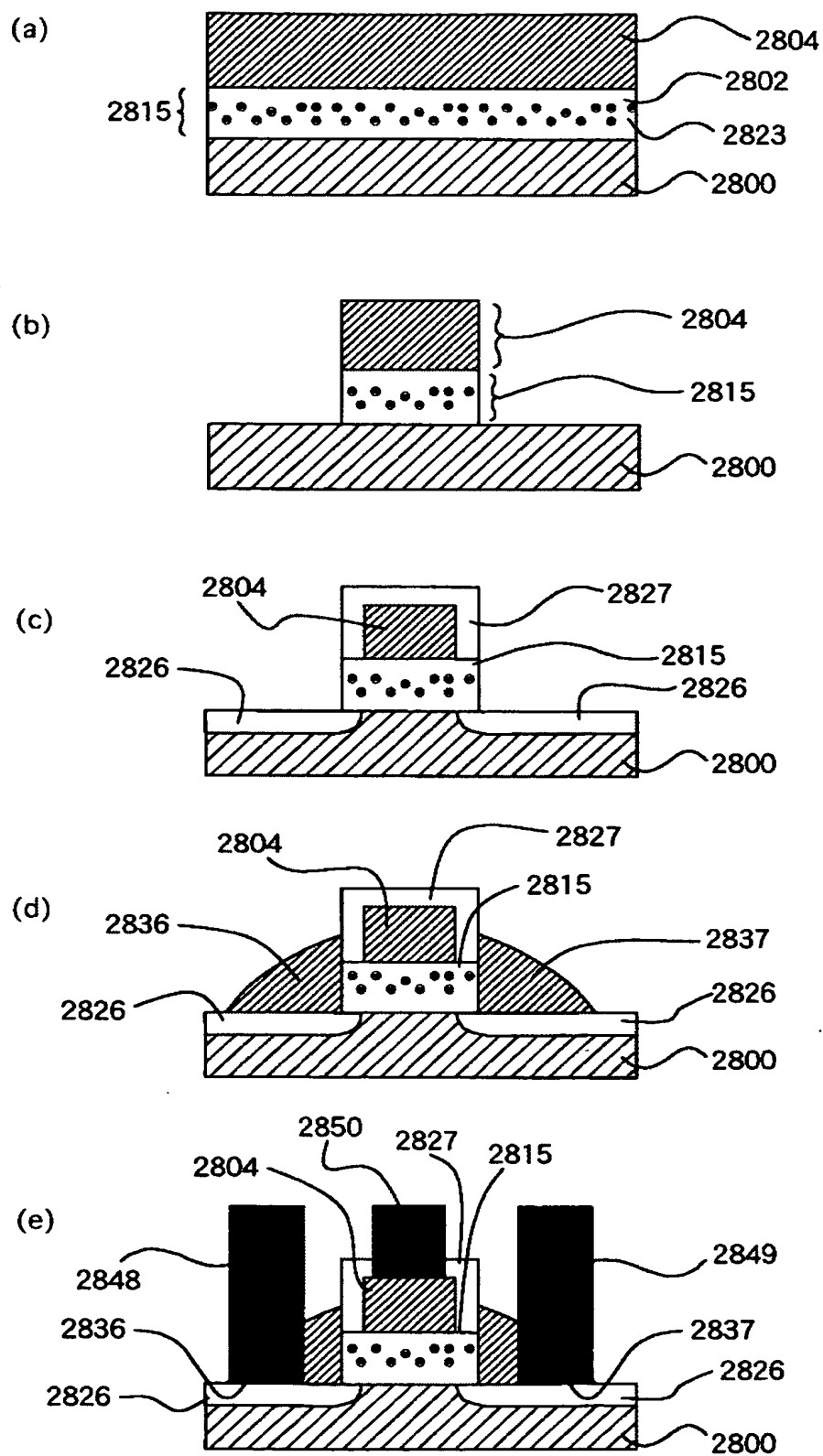
【図 26】



【図 27】

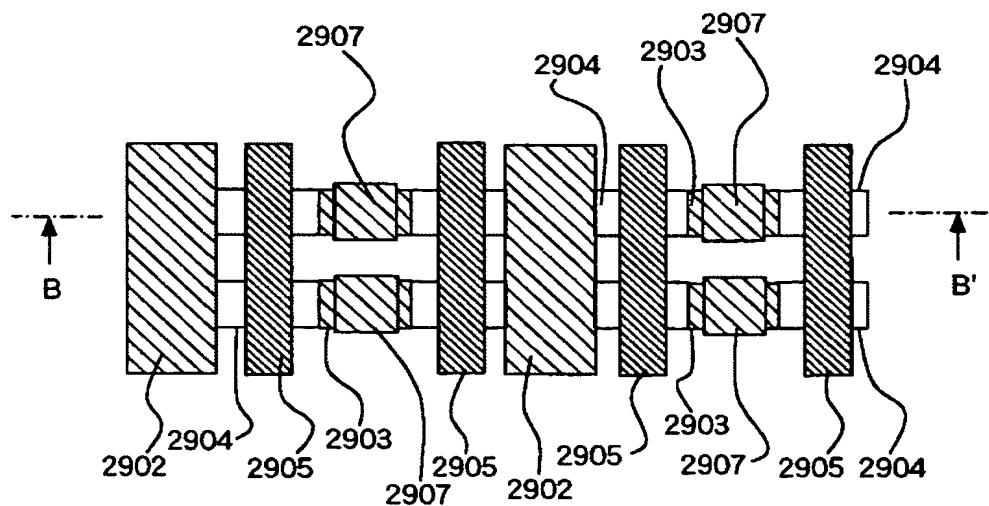


【図 28】

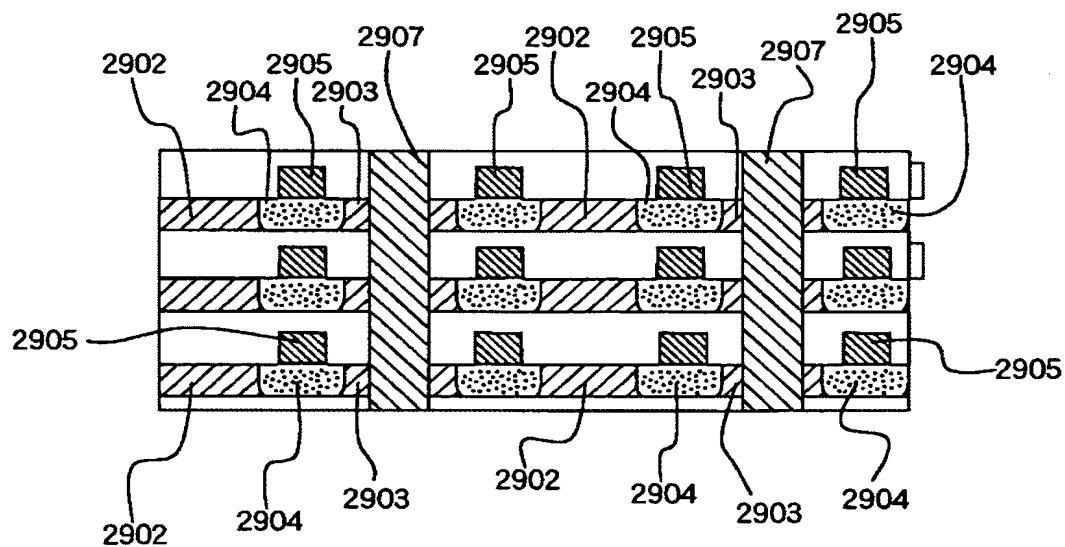


【図 29】

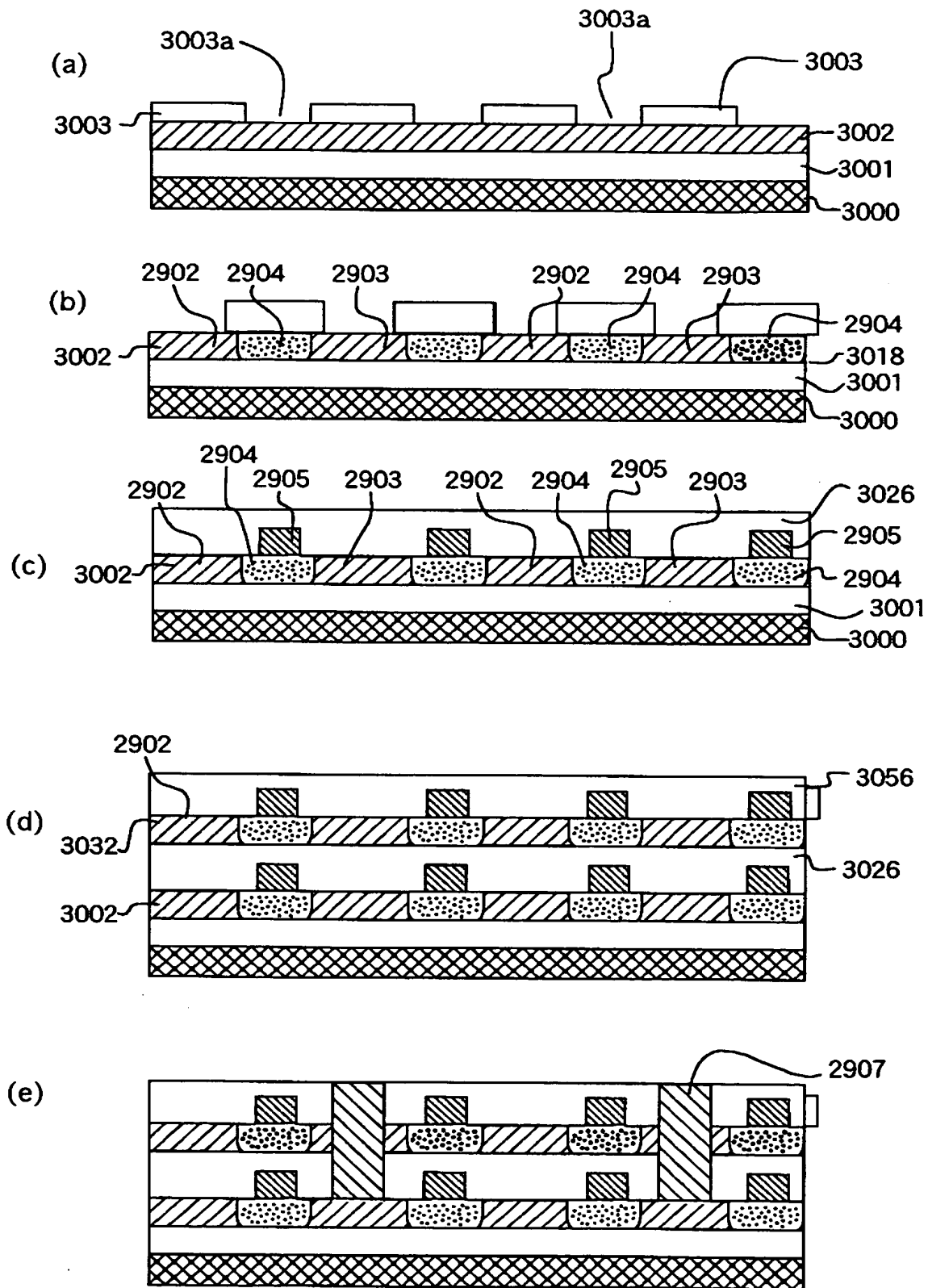
(a)



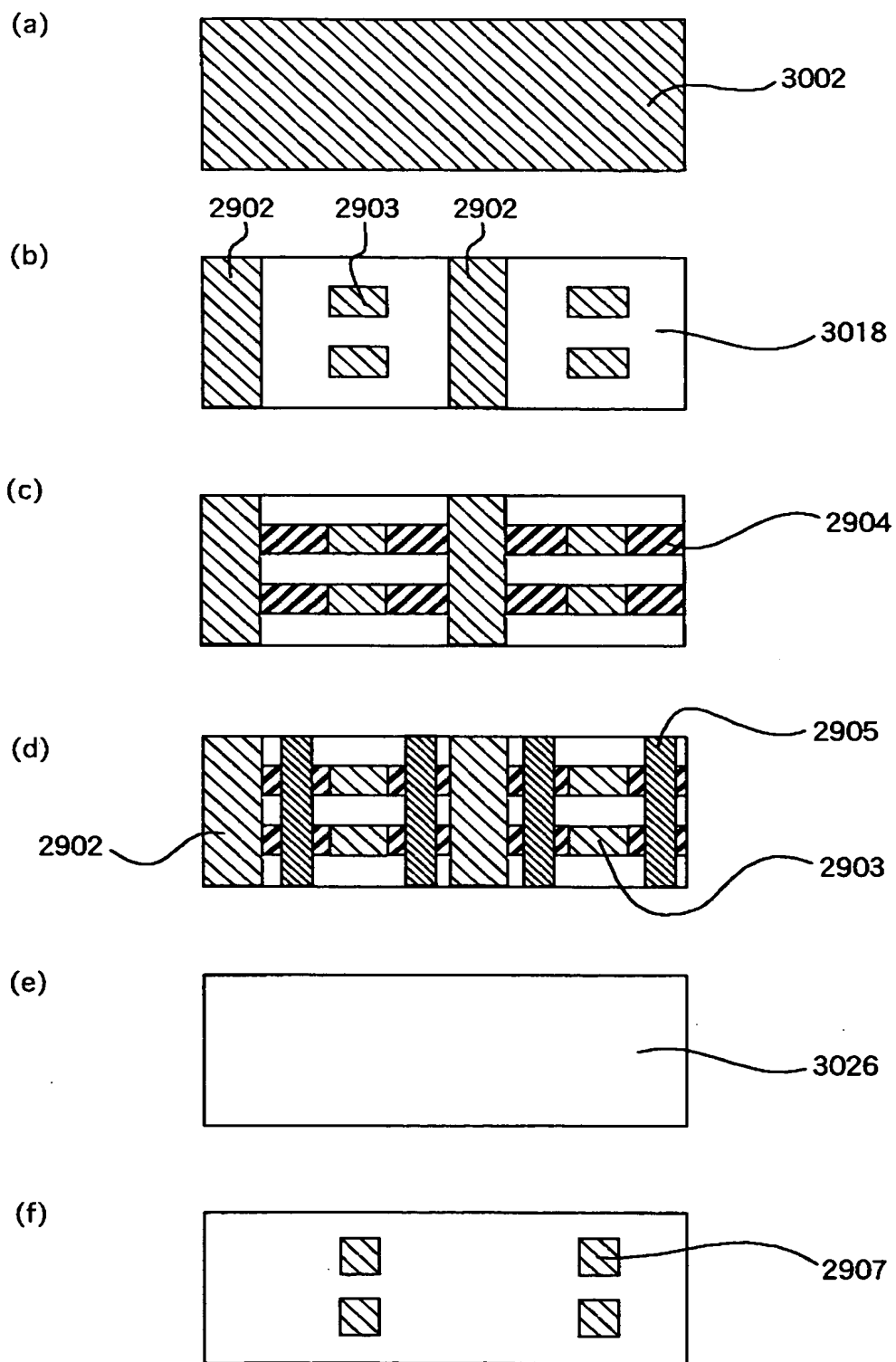
(b)



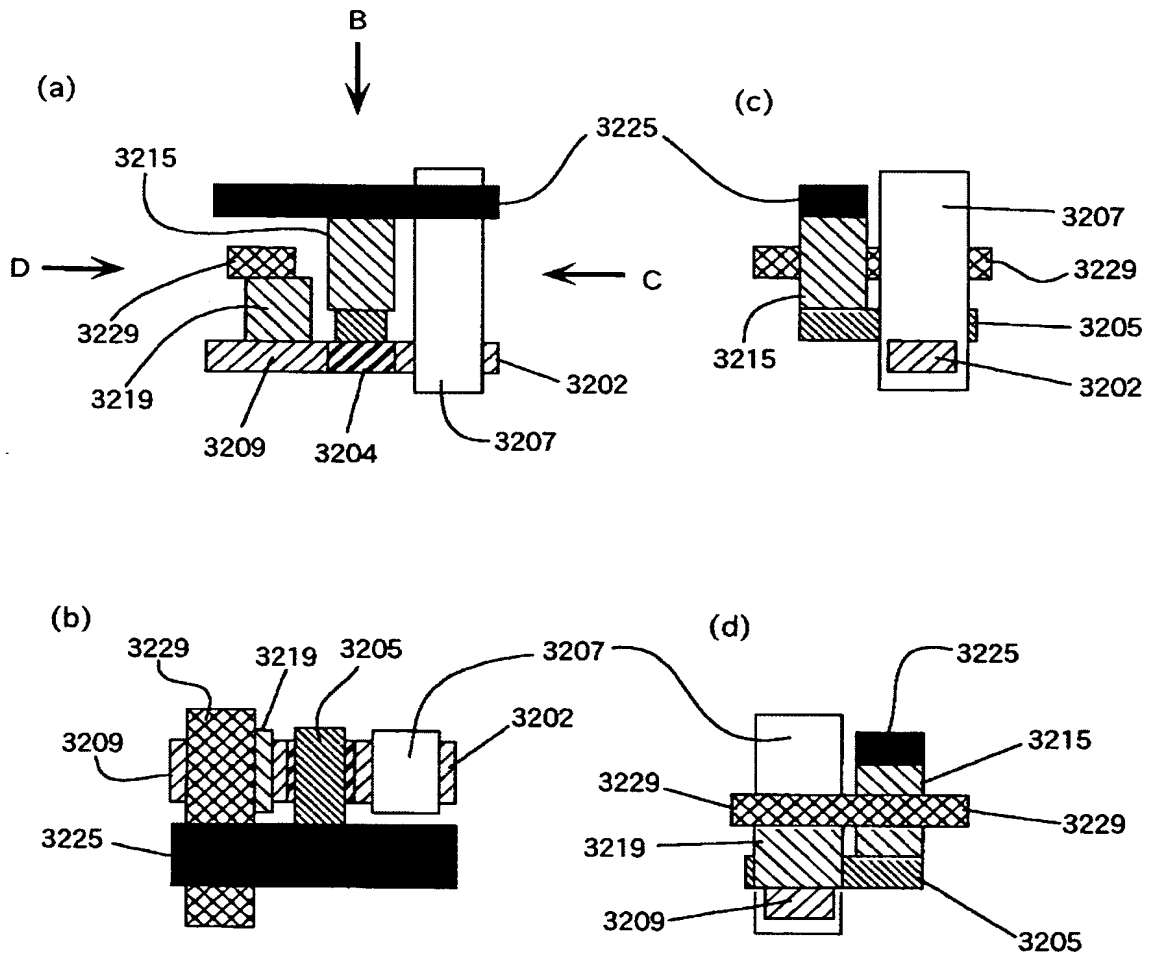
【図 30】



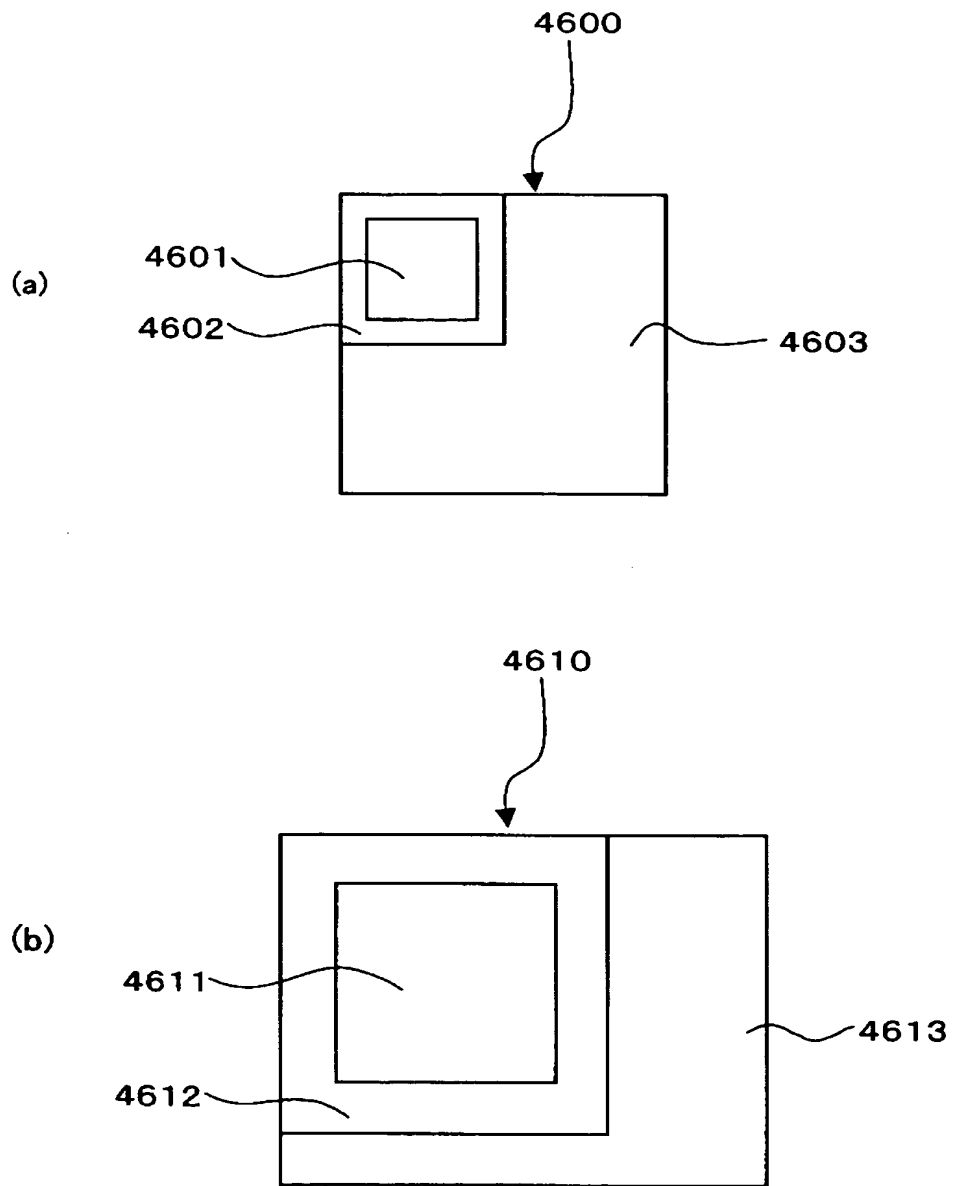
【図 31】



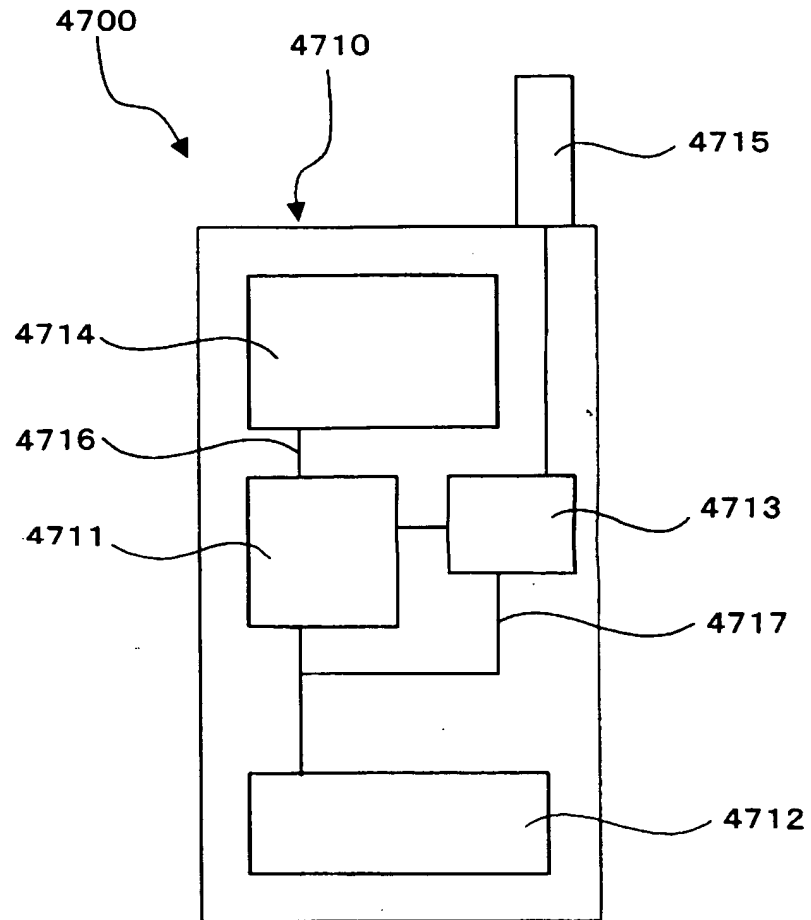
【図 32】



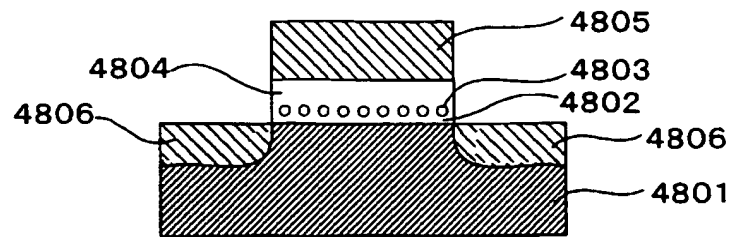
【図 33】



【図 34】



【図 35】



【書類名】 要約書

【要約】

【課題】 絶縁体中に複数の導電性微粒子を含むメモリ機能体を備えたメモリであって実用性があるものを提供すること。

【解決手段】 絶縁体101中に、酸化銀104で覆われた銀微粒子103を複数個含んでなるメモリ機能体113が、第1の電極300と第2の電極411との間に挟まれている。第1の電極300と第2の電極411との間に所定の電圧を印加した前後で、メモリ機能体113を通して流れる電流の大小が変化して、その電流の大小に応じて記憶状態が判別される。電荷を捕獲する銀微粒子103は、電荷の通り抜けに対する障壁となる酸化銀104で覆われているので、メモリ機能体113は、常温で安定して電荷を保持することができる。

【選択図】 図4

特願 2 0 0 3 - 0 6 7 6 5 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 0 4 9]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号

氏 名

シャープ株式会社